



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

Rutile 구조 TiO_2 의 ALD 진행 중
 RuO_2 기판 환원을 억제하기 위한
 SnO_2 박막 도입 평가

Evaluation of SnO_2 thin films to suppress
reduction of RuO_2 electrode during ALD of
rutile structured TiO_2 films

2017년 8월

서울대학교 대학원
재료공학부
송 호 주

Rutile 구조 TiO_2 의 ALD 진행 중
 RuO_2 기판 환원을 억제하기 위한

SnO_2 박막 도입 평가

Evaluation of SnO_2 thin films to suppress
reduction of RuO_2 electrode during ALD of
rutile structured TiO_2 films

지도교수 황철성

이 논문을 공학석사학위논문으로 제출함

2017년 6월

서울대학교 대학원

재료공학부

송 호 주

송호주의 공학석사학위논문을 인준함

2017년 6월

위 원 장 김 형 준

(인)

부위원장 황 철 성

(인)

위 원 한 승 우

(인)

Abstract

DRAM 소자가 미세화 됨에 따라 capacitor를 형성하는 공정은 그 난이도가 급격히 증가해왔다. 특히 data “0”과 “1”을 구분하기 위해서는 특정 수준 이상의 전하를 capacitor에 저장할 수 있어야 하는데, 구조적인 방식으로는 더 이상 동작에 필요한 정전용량을 확보하기 어려운 상황이 되었다. 따라서 높은 유전율을 가지는 물질에 대한 연구가 활발히 진행되고 있는데 대표적인 물질이 rutile 구조의 TiO_2 이다. TiO_2 는 유전상수 약 80–170 정도로 보고되는 high- k 물질로서, 동일한 rutile 구조를 가지는 RuO_2 전극 위에 ALD 방식으로 epitaxial 증착이 가능하다. 따라서 높은 aspect ratio를 가지는 DRAM capacitor에 하부 전극으로써 RuO_2 를 도입할 경우 TiO_2 를 균일한 두께의 얇은 막질로 증착하는 것이 가능하다.

그런데 RuO_2 기판은 상부 유전막의 증착 온도나 증착에 사용하는 반응 gas, 그리고 후속 공정에서의 heat budget 등에 의해 Ru로 쉽게 환원될 수 있다. RuO_2 기판이 환원되는 경우 oxygen의 유실에 따른 volume shrink 및 void가 발생할 수 있고 이로 인하여 누설전류 특성이 나빠질 수 있다. 또한, 환원 반응으로 발생한 산소가 트랜지스터 방향으로 확산되는 경우 트랜지스터의 on-off 특성 열화를 야기할 가능성도 존재한다. 따라서 RuO_2 와 TiO_2 의 중간 크기의 formation energy를 가지고, lattice mismatch가 작은 SnO_2 박막을 barrier로써 도입하여 환원 저항성을 높이고 capacitor 특성 확보가 가능한지를 평가하였다.

먼저 95% N_2 /5% H_2 의 환원 gas 분위기에서 열적 스트레스를 인가하면서 SnO_2 박막이 RuO_2 의 환원 저항성을 향상시키는지에 대해 검증을 진행하였다. 결정상이나, 표면 상태 측정을 통하여 확실하게 SnO_2 로 인하여 RuO_2 의 환원 저항성이 높아진다는 점을 확인하였기에 SnO_2/RuO_2 를 기판으로 사용하여 TiO_2 유전막을 증착하였다.

TiO_2 는 RuO_2 에서와 마찬가지로, SnO_2 표면 위에서도 rutile 구조로 결정화 되는 것이 확인되었다. 열적 스트레스 평가나 AES depth profile 분석, XRF를 이용한 TiO_2 초기 성장 거동 분석을 통하여 TiO_2 증착 과정 및 TiO_2 증착 후에도 SnO_2 가 효과적으로 RuO_2 의 환원을 제어하고 있다는 점이 검증되었다. 그리고 TiO_2 증착 전, 후의 Ru 면밀도 변화 측정 결과를 통하여 RuO_2 기판이 TiO_2 증착 과정에 환원되면서 발생 가능한 문제점과 SnO_2 도입의 효과를 함께 고찰하였다.

SnO_2 박막을 도입한 소자에 상부전극을 올려서 평판 capacitor를 형성한 후 전기적 특성 분석을 진행하였다. 누설전류는 capacitor가 아닌 diode와 같은 특성을 나타내었고, capacitance는 이상 거동을 나타내었다. 제작된 소자가 기존의 capacitor의 특성을 보이지 않는 근본적인 원인은 사용된 SnO_2 박막의 비저항이 전극으로 사용할만큼 충분히 낮지 않고, high doping된 반도체의 성질을 가지기 때문인 것으로 파악되었다. SnO_2 가 doping된 n-type 반도체의 특성을 지닌다는 사실을 바탕으로 energy band diagram이나 capacitor의 회로적 특성을 이용하여 특성 열화의 원인에 대해 상세히 분석하였다. 분석된 원인을 기반으로 전기적 특성 개선 방안들에 대해 고찰해보고 및 적용 가능성

을 확인해보았다.

주요어 : TiO_2 , Rutile structure, SnO_2 , 원자층증착법 (ALD), DRAM,
 RuO_2 , heat treatment, 캐패시터

학번 : 2015-22771

송 호 주

Table of Contents

Abstract	i
List of Tables	vii
List of Figures.....	viii
1. 서론.....	1
2. 문헌연구	4
2.1 Atomic Layer Deposition	4
2.2 Properties of TiO_2	10
2.3 Rutile phase TiO_2 deposition	12
3. 실험 및 분석 방법.....	16
3.1 ALD system.....	16
3.2 하부 전극(RuO_2 , SnO_2) 증착	19
3.3 ALD 를 이용한 TiO_2 , ATO(Al doped TiO_2) 증착	22
3.4 증착한 막질에 thermal stress 인가.....	26
3.5 증착 된 박막 분석	26
4. 결과 및 논의	29

4.1 RuO ₂ 환원 저항성 향상 barrier 로써의 SnO ₂ 박막 도입 가능성 확인	29
4.1.1 SnO ₂ /RuO ₂ substrate 특성 확인	29
4.1.2 열적 스트레스에 따른 기판 환원성 비교	33
4.2 SnO ₂ 박막 도입에 따른 환원 저항성 향상 검증	39
4.2.1 SnO ₂ /RuO ₂ 기판에서의 rutile 구조 TiO ₂ 증착 가능성 확인	39
4.2.2 TiO ₂ 증착 초기 성장 거동 비교	43
4.2.3 TiO ₂ 가 증착된 기판의 열적 스트레스에 따른 환원성 비교.	46
4.2.4 TiO ₂ 증착 후 기판에서의 원소 비율 확인	49
4.3 SnO ₂ /RuO ₂ 기판 위에 증착된 TiO ₂ 의 전기적 특성 확인	61
4.3.1 SnO ₂ /RuO ₂ 기판에서 증착된 TiO ₂ 박막의 JV, CV 특성 확인	61
4.3.2 SnO ₂ /RuO ₂ 기판에서의 전기적 특성 원인 분석	67
4.3.2.1 SnO ₂ 박막의 특성 확인	67
4.3.2.2 누설전류 특성 원인 고찰	71
4.3.2.3 정전용량 특성 고찰	74
4.4 DRAM capacitor 적용을 위한 전기적 특성 개선 가능성 평가	80

4.4.1 $\text{SnO}_2/\text{RuO}_2$ 전극 heat treatment 평가	80
4.4.2 Al doping 된 TiO_2 유전막 적용 평가.....	86
4.4.3 SnO_2 박막 doping 평가.....	89
5. 결론.....	93
Reference	96
List of Publications	100
Abstracts (in English)	102

List of Tables

Table 4. 1. Percentage of elements in RuO ₂ layer analyzed by EDS	38
Table 4. 2. Standard formation energy at 600K ^[17]	58
Table 4. 3. RuO ₂ thickness difference derived from Ru layer density difference ^[16]	59
Table 4. 4. Layer density of substrates for low layer density RuO ₂ test	60
Table 4. 5. Measured SnO ₂ film characteristics.....	70
Table 4. 6. Lists of measured capacitance at -1.3V and series capacitance by theoretical calculation.....	78
Table 4. 7. Meaning of symbols and equation of total dissipation factor from actual capacitor loss circuit.....	79

List of Figures

Figure 2. 1. Schematic illustration of one ALD reaction cycle ^[3]	7
Figure 2. 2. Schematic illustration of different types of adsorption	8
Figure 2. 3. Schematic of ALD process window with temperature ^[2]	9
Figure 2. 4. Bulk structures of rutile and anatase.	11
Figure 2. 5. XRD spectra of TiO ₂ films grown on ALD Ru, sputtered Ru, and Si substrates (a) $\theta - 2\theta$, and (b) glancing incidence modes ^[6]	14
Figure 2. 6. TEM image of TiO ₂ /SnO ₂ stack. ^[10]	15
Figure 3. 1. Schematic diagram of the ALD system	18
Figure 3. 2. Molecule structure of RuO ₄	21
Figure 3. 3. Molecule structure of TDMASn (Sn(N(CH ₃) ₂) ₄)	21
Figure 3. 4. Molecule structure of TTIP (Ti(OCH(CH ₃) ₂) ₄)	24
Figure 3.5. Molecule structure of TMA (Al ₂ (CH ₃) ₆)	24
Figure 3. 6. A schematic representation of ALD cycles for (a) TiO ₂ , (b) Al doped TiO ₂	25
Figure 3. 7. Schematic diagrams of MIM capacitor for (a) RuO ₂ substrate (b) SnO ₂ /RuO ₂ substrate	28

Figure 4. 1. AES depth profile of SnO ₂ on RuO ₂ substrate.....	31
Figure 4. 2. Surface roughness of SnO ₂ film (a)as deposition, and (b)after being exposed to thermal stress for 80minutes	32
Figure 4. 3. GAXRD peaks of RuO ₂ substrate reduction test by thermal stress : (a) RuO ₂ only, and (b) 5nm SnO ₂ on RuO ₂	36
Figure 4. 4. SEM(Scanning Electron Microscope) images of substrates : (a) RuO ₂ , (b) RuO ₂ with 10min. thermal stress, (c) SnO ₂ /RuO ₂ , and (d) SnO ₂ /RuO ₂ with 10 min. thermal stress.....	37
Figure 4. 5. EDS test result of RuO ₂ with 10min. thermal stress : (a)ridge area (b)valley area	38
Figure 4. 6. XRD patterns of as–deposited TiO ₂ films on RuO ₂ and on SnO ₂ /RuO ₂	41
Figure 4. 7. Surface morphology of TiO ₂ films grown on.....	42
Figure 4. 8. TiO ₂ growth characteristic at initial stage	45
Figure 4. 9. RuO ₂ substrate reduction test by thermal stress	48
Figure 4. 10. AES depth profile of (a) TiO ₂ on RuO ₂ (b) TiO ₂ on SnO ₂ /RuO ₂	55
Figure 4. 11. Previous experiment result of (a)AES depth profile for RuO ₂ ^[13] (b)ToF–MEIS depth profile for TiO ₂ on RuO ₂ ^[14]	56
Figure 4. 12. Layer density difference before and after deposition :	

(a) Ru layer density skew (b) Sn layer density skew.....	57
Figure 4. 13. Schematic of DRAM capacitor cross section assuming that it occupies all the 3Fx3F area	59
Figure 4. 14. GAXRD peaks of ATO on RuO ₂ and on SnO ₂ /RuO ₂ which have low Ru layer density.....	60
Figure 4. 15. The current density vs. applied voltage (J–V) plot of the 20nm TiO ₂ films on RuO ₂ and SnO ₂ /RuO ₂ substrate .	64
Figure 4. 16. (a) The capacitance density vs. applied voltage (C– V) plot, and (b) the dissipation factor vs. applied voltage (DF–V) plot of the 20nm TiO ₂ films on RuO ₂ and SnO ₂ /RuO ₂ substrate.	65
Figure 4. 17. (a) J–V plot, (b) C–V plot of the TiO ₂ films of various thicknesses deposited on 5nm SnO ₂ /RuO ₂	66
Figure 4. 18. The XPS spectra of (a)Ti 2p peak, (b)O 1s peak of TiO ₂ on RuO ₂ and TiO ₂ on SnO ₂ /RuO ₂ . (c)Sn 3d XPS spectra of TiO ₂ on SnO ₂ /RuO ₂	69
Figure 4. 19. Schematic energy band diagrams to illustrate J–V characteristics of (a) TiO ₂ on RuO ₂ (b) TiO ₂ on SnO ₂ /RuO ₂	73
Figure 4. 20. Schematic diagrams to illustrate C–V characteristics under (a) V _{TE} > 0, (b) V _{TE} < 0.....	77
Figure 4. 21. Schematic circuit of actual capacitor loss	79
Figure 4. 22. Results of heat treatment on SnO ₂ under gas ambient	

before TiO_2 deposition, (a) J–V characteristics with TE positive bias, (b) C–V characteristics.	83
Figure 4. 23. Results of heat treatment under H_2 gas ambient after TiO_2 deposition on $\text{SnO}_2/\text{RuO}_2$,	84
Figure 4. 24. Schematic band diagram of (a) no treatment, (b) O_2 treatment on SnO_2 , (c) H_2 treatment on SnO_2 , and (d) H_2 treatment on TiO_2	85
Figure 4. 25. J–V plot of (a) TiO_2 on RuO_2 and on $\text{SnO}_2/\text{RuO}_2$, (b) Al doped TiO_2 (ATO) on RuO_2 and $\text{SnO}_2/\text{RuO}_2$. Comparison (c) C–V, (d) DF characteristics of TiO_2 and ATO on $\text{SnO}_2/\text{RuO}_2$	88
Figure 4. 26. GAXRD peaks of TiO_2 on Ta doped $\text{SnO}_2/\text{RuO}_2$	91
Figure 4. 27. Evaluation of TiO_2 on Ta doped $\text{SnO}_2/\text{RuO}_2$ substrate (a) J–V plot, (b) C–V plot, (c) DF–V plot.	92

1. 서론

DRAM(Dynamic Random Access Memory)은 컴퓨터를 포함한 각종 전자기기의 메인 메모리로써 가장 널리 사용되는 반도체 소자이다. 전하를 capacitor에 저장하는 방식으로 데이터를 쉽게 쓰고 지울 수 있으며 동작에 필요한 소비전력이 낮고 동작 speed가 빠른, 가장 단순하고도 효율적인 소자이므로 수십 년간 가장 중요한 메모리 소자로써 사용되어왔다. 특히 최소 기억 단위인 cell이 스위칭 기능을 하는 transistor 하나와 데이터를 저장하는 capacitor 하나로 구성된 비교적 간단한 구조를 가지고 있기 때문에 집적도를 높이기에도 용이하며, cell 하나당 생산 원가가 낮아서 대용량 메모리를 필요로 하는 전자기기에 많이 이용되고 있다. 하지만 지속적으로 더 높은 집적도를 가진 소자가 요구되고 있기 때문에 DRAM 공정에서는 꾸준히 미세화(scaling) 작업이 진행되어왔고, 집적도를 높이는 동시에 DRAM의 성능을 유지하기 위한 공정의 난이도 역시 높아지고 있다.

DRAM 공정 중에서도 특히 capacitor를 형성하는 공정은 소자 미세화에 따라 그 난이도가 급격히 증가해왔다. Data “0”과 “1”을 구분하기 위해서는 특정 수준 이상의 전하를 capacitor에 저장할 수 있어야 한다. 하지만 소자의 size가 줄어들수록 capacitor의 단면적도 줄어들 수 밖에 없고, 이를 보완하기 위해서는 capacitor의 높이가 높아져야만 하므로 요구되는 aspect ratio가 급증할 수밖에 없는 상황이다. Aspect ratio의 급증은 공정 난이도를 급격히 끌어올리게 된다.^[1]

이러한 점을 극복하기 위해 여러 가지 방법이 강구되고 있다. 지금까지는 정전용량(capacitance) 값을 높이기 위해 유전막의 두께를 낮추고, 유전막의 표면적을 늘리고, 유전율을 높이는 방향으로 발전되어 왔다. 하지만 누설전류(leakage current) 문제는 DRAM의 성능을 저하시키기 때문에 유전막의 두께를 낮추는데 한계가 있고, aspect ratio의 급격한 증가는 더 이상 표면적을 늘리는 방향으로의 진행을 어렵게 하고 있다. 따라서 고유전율(high-k)을 가진 유전막의 도입이 반드시 필요한 상황이다. 지금까지 수세대간 DRAM capacitor에는 전극으로써 TiN과 유전막으로써 ZAZ ($\text{ZrO}_2\text{-Al}_2\text{O}_3\text{-ZrO}_2$ 복합막)가 사용되어 왔으나, 이를 대체하기 위한 후보 중 하나로써 rutile 구조의 TiO_2 가 활발하게 연구되어 오고 있다. Rutile 구조의 TiO_2 는 유전상수(dielectric constant) 약 80-170 정도로 보고되는 high-k 물질이다.

현재 TiO_2 를 rutile 구조로 성장시키기 위한 하부 전극은 동일한 rutile 구조의 RuO_2 가 사용되고 있는데, RuO_2 는 TiO_2 증착 온도나 TiO_2 를 증착할 때 사용하는 반응 gas, 그리고 후속 공정에서의 heat budget 등에 의해 Ru로 쉽게 환원될 수 있다. TiO_2 의 증착 과정에 RuO_2 가 Ru로 환원될 경우, 환원된 Ru가 TiO_2 의 증착에 사용되는 산화제(oxidant)에 의해 쉽게 etch 될 수 있기 때문에 RuO_2 를 DRAM 캐패시터의 얇은 하부 전극으로 사용하기 부적절한 문제가 발생할 수 있다. 또한 TiO_2 증착 이후 후속 공정 영향으로 인해 RuO_2 가 Ru로 환원될 경우, 하부 전극의 volume shrink에 기인한 void 발생이나 morphology 열화로 인한 누설 전류 이슈가 발생할 수 있고 환원 시

발생한 oxygen이 transistor 방향으로 확산되면서 on-off 특성 열화를 야기할 가능성도 존재한다.

따라서 본 논문에서는 rutile 구조의 TiO_2 증착 시 하부 전극인 RuO_2 의 환원 저항성을 높여주기 위한 barrier 막질로써의 SnO_2 박막 도입 가능성을 살펴보고자 한다. 몇 가지 평가 방법을 통해 SnO_2 박막 도입이 RuO_2 의 환원 저항성을 높일 수 있음을 검증하고, 전기적 특성을 확인하였다. 또한 확인된 전기적 특성이 DRAM 캐패시터에 적합한지 여부를 확인 및 분석하여 개선 방안에 대해서도 논의하였다.

2. 문헌연구

2.1 Atomic Layer Deposition

Atomic Layer Deposition(ALD, 원자층 증착법)은 CVD(Chemical Vapor Deposition) 기술 중 하나로, 균일한 박막 증착에 매우 용이한 특성 때문에 각광받고 있는 기술이다. 일반적인 CVD 방법과는 달리 ALD에서는 precursor와 reactant의 순차적 주입을 반복하여 진행한다. 주입된 precursor나 reactant는 기판 표면에 존재하는 한정된 수의 site에서 ligand를 맞교환 하기 때문에 표면 반응이 스스로 제한되는 성질을 가지고 있다. 따라서 막질 두께를 원자층 단위로 정교하게 조절 하는 것이 가능하고 기판의 크기에 무관하게 기판 전 영역에서 균일한 두께의 막질 증착이 가능하며 종횡비가 큰 (high aspect ratio) 복잡한 3D 패턴에 대해서도 막질을 균일하게 증착하는 것이 가능하다. 또한 precursor가 기상에서 decomposition되지 않아야 하므로 상대적으로 저온에서 공정이 진행된다. 이와 같은 ALD의 특성들은 반도체 소자의 초미세화 및 고집적화에 따라 ALD 기술의 필요성이나 중요성을 크게 부각시켜 왔다.^[2]

ALD의 증착은 ‘precursor 주입’ , ‘purge’ , ‘reactant 주입’ , ‘purge’ 를 하나의 주기(cycle)로 하며 이러한 주기를 반복함으로써 증착이 진행된다. 또한 하나의 주기 내에 ‘precursor 주입’ , ‘purge’ 의 단계를 추가함으로써 다성분계 박막 증착 또한 가능해진

다. ALD 반응에 적합한 precursor를 선택하고 최적화된 온도 및 압력 조건에서 하나의 precursor와 하나의 reactant를 사용하는 ALD 과정은 Figure 2. 1에서 확인할 수 있다. Precursor가 충분히 주입되면 주입된 precursor 중 일부는 기판 표면과 ligand exchange를 통한 화학적 결합(chemisorption)을 이루게 되지만 기판 표면의 반응 site 수는 제한적이므로 이에 해당하는 만큼의 monolayer만을 형성하게 된다 (self-terminating reaction). 기판 표면의 반응 site 수를 초과하여 공급된 precursor는 기판 표면과 화학적 결합을 하지 못하고, 물리적 결합(physisorption)만 하거나 기상 상태 그대로 남아있게 되는데 이렇게 화학적 결합이 진행되지 못한 precursor 및 화학적 결합 후 생성된 반응 부산물(byproduct)들은 N_2 혹은 Ar의 불활성 기체를 이용한 purge 과정을 통해 제거된다. Reactant가 주입되면 또다시 self-terminating reaction을 통해 증착하고자 했던 화합물 monolayer를 형성시키게 되고, 다시 purge 과정을 통해 반응 부산물 및 남은 반응 gas를 제거시키면 하나의 증착 주기가 완성된다.^[3]

상기와 같은 방법의 ALD 공정을 통하여 기판 전 영역에 걸쳐서 복잡한 3D 패턴 위에 균일한 막질을 성장 시키기 위해서는 비가역적 화학 반응(irreversible chemisorptions)과 surface에서의 포화(saturating) 과정이 필수적이다. Figure 2. 2에는 흡착 방법 및 포화 상태 그리고 반응 gas의 주입 시간에 따른 반응 과정에 대해 대략적으로 비교되어 있는데, 특히 Figure 2. 2 (a)와 같이 비가역적 화학 반응과 포화 반응이 진행되는 precursor 및 reactant를 선택해야만 gas가 과

잉 공급 되거나 반응체의 분압에 변화가 발생하더라도 자동적으로 균질한 막질을 증착할 수 있다는 ALD의 특성을 확보할 수 있다. [3,4]

ALD 특성을 확보하기 위한 또 하나의 중요한 공정 요소는 증착 온도이다. 대체로 ALD는 일반적인 CVD 공정에 비하여 막질 증착 속도 (Growth rate)의 온도 의존성이 낮은 편이다. 특히 특정한 온도 구간에서는 이상적인 self-terminating reaction이 가능하므로 온도가 변하더라도 cycle당 증착 속도 변화 없이 균일한 막질 증착이 가능한데 이를 ‘ALD window’라 한다. ALD window보다 낮은 온도 구간에서는 precursor가 기판 표면에 응축됨에 따라 막질 증착 속도가 높아지거나 충분한 반응열을 확보하지 못하여 기판 표면에서 precursor와 reactant가 제대로 반응하지 않아 증착 속도가 낮아지는 경우가 발생할 수 있다. 반대로 ALD window보다 높은 온도 구간에서는 주입된 precursor가 열분해 되면서 기판 표면에 과하게 흡착됨에 따라 CVD 반응이 발생하여 증착 속도가 높아질 수 있다. 또는 고온으로 인하여 기판 표면의 반응기들이 기판으로부터 탈착되면서 다음 단계의 precursor나 reactant가 유입되어도 기판에서 제대로 화학 반응하지 못하여 증착 속도가 낮아질 수 있다. Figure 2. 3은 이러한 관계를 도식화 한 것이다. [2]

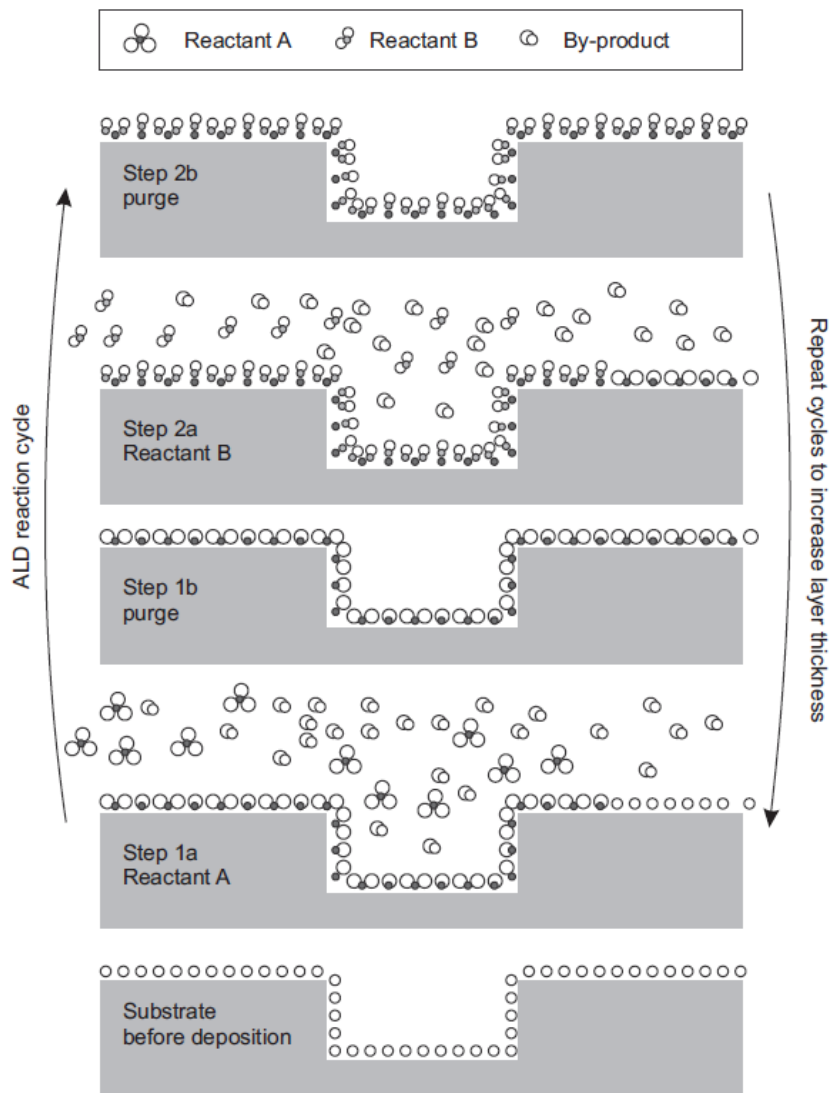


Figure 2. 1. Schematic illustration of one ALD reaction cycle^[3]

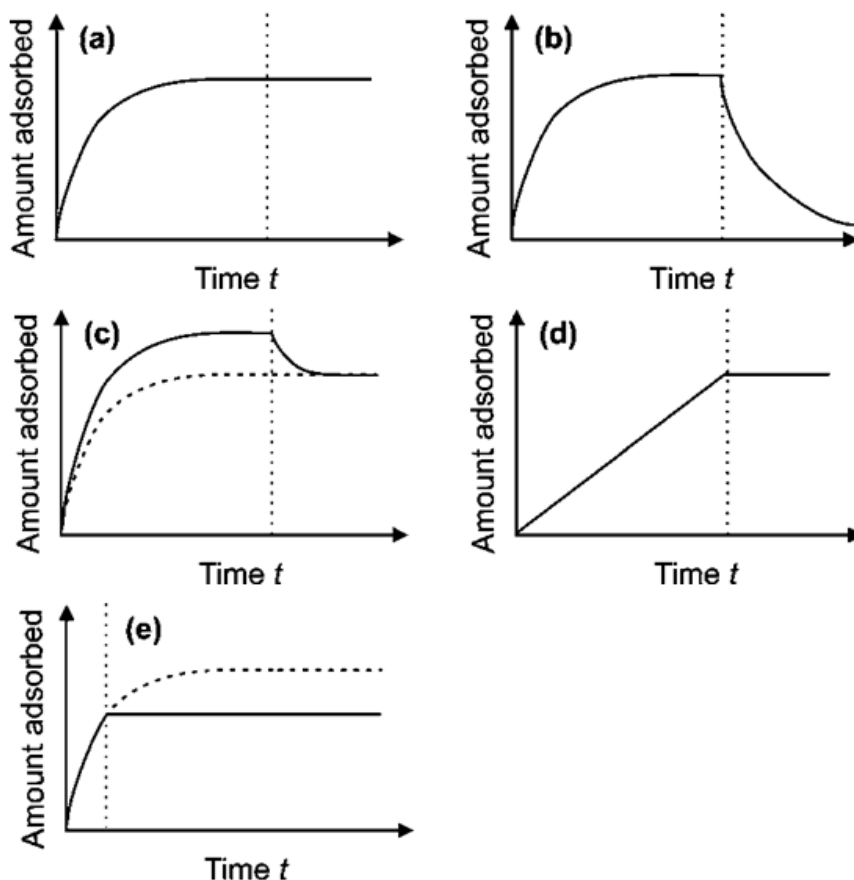


Figure 2. 2. Schematic illustration of different types of adsorption

(a) irreversible saturating adsorption i.e. self-terminating reaction, (b) reversible saturating adsorption, (c) combined irreversible and reversible saturating adsorption, (d) irreversible non-saturating adsorption (deposition), and (e) irreversible saturating adsorption not allowed to saturate. The vertical dashed line marks the end of the reactant supply and the beginning of a purge.^[3]

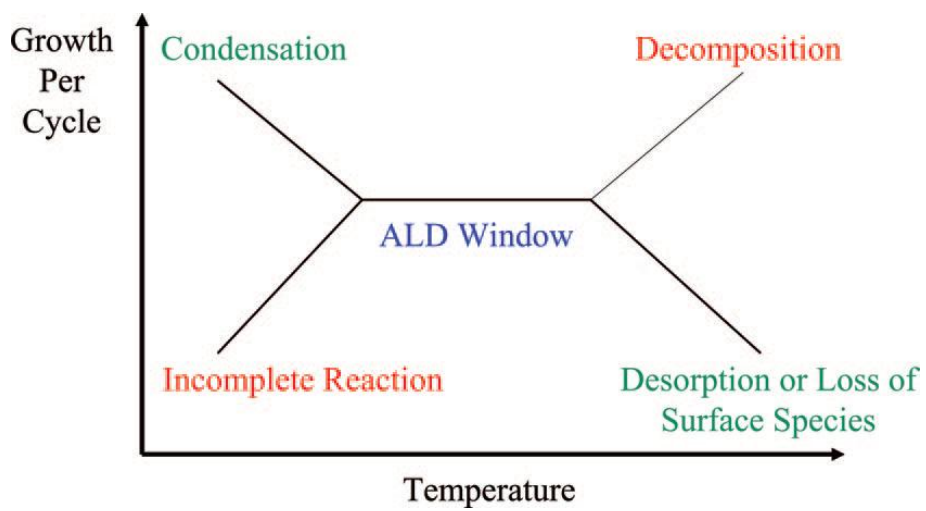


Figure 2. 3. Schematic of ALD process window with temperature^[2]

2.2 Properties of TiO_2

TiO_2 는 염료나 자외선 차단제, 살균제 등 다양한 분야에서 널리 사용되고 있는 물질이지만, 특히 산화력이 매우 크고 안정한 물질이기 때문에 광촉매로써의 연구가 매우 활발하게 이루어져왔다. 반도체 분야에서는 TiO_2 가 지니고 있는 high- k (dielectric constant) 특성으로 인하여 차세대 반도체의 gate dielectric 후보로서 연구가 진행되고 있었으나^[5], 최근에는 차세대 DRAM capacitor 유전막으로서 더 많은 관심을 받고 있다.^[6]

TiO_2 는 여러 결정 구조를 가지고 있지만 주로 rutile, anatase, brookite의 세 가지 결정 구조를 가지고 있는 것으로 알려져 있으며, 안정성을 지니는 rutile 구조와 anatase 구조가 주된 연구 대상이다. Rutile과 anatase의 unit cell 구조는 Figure 2. 4에서 확인할 수 있다. 두 구조 모두 하나의 Titanium과 6개의 oxygen이 결합하고 있는 팔면체로 구성(octahedral configuration)되어 있지만, 뒤틀린 방향과 정도에 따라 두 구조가 달라지게 된다. 각 구조의 유전상수(dielectric constant) 값은 anatase의 경우 a축 방향 45, c축 방향 25로^[7], rutile은 a축 방향 90, c축 방향 170으로 보고되었다^[8].

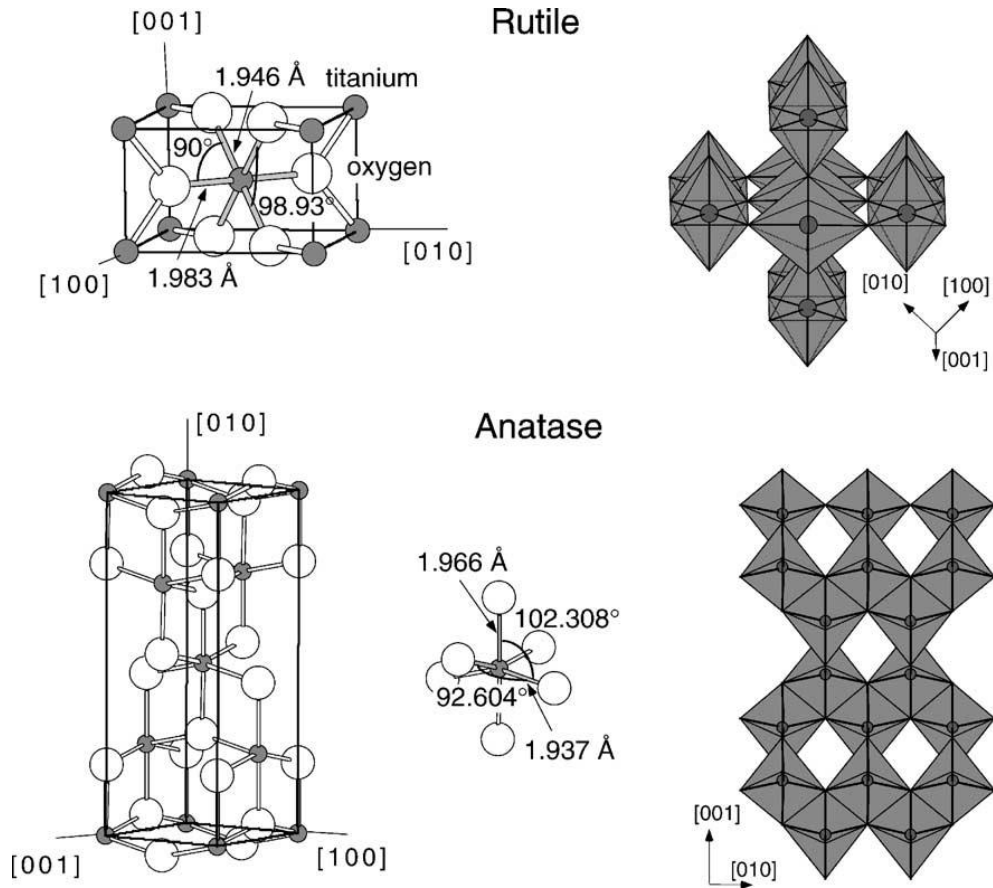


Figure 2. 4. Bulk structures of rutile and anatase.

2.3 Rutile phase TiO₂ deposition

앞서 확인한 바와 같이 rutile 구조의 TiO₂는 매우 높은 유전상수를 갖고 있기 때문에 DRAM capacitor의 유전막으로써 매력적인 후보 물질이다. 하지만 일반적인 CVD나 ALD 방식으로 증착 진행할 경우 TiO₂는 amorphous 상태로 증착되거나, anatase로 결정화되는 것으로 알려져 있다. 따라서 rutile 구조의 TiO₂ 박막을 얻기 위해서는 증착 이후 고온(~700° C)에서의 post annealing 과정이 필요하다.

이러한 post annealing 과정 없이 TiO₂를 rutile 구조로 증착시킬 수 있는 방법이 Ir이나 Ru과 같은 noble metal 기판들을 사용하는 것이다. Ru 기판 위에 산화력이 높은 reactant를 사용하여 TiO₂를 ALD 방식으로 증착하게 되면 250° C 정도의 낮은 온도에서도 TiO₂를 rutile 구조로 성장시킬 수 있다. 이는 TiO₂ 증착 과정에서 높은 산화력을 지닌 reactant에 의해 기판인 Ru가 산화되면서 기판 표면에 생성된 RuO₂ 막질 구조의 영향을 받기 때문이다. RuO₂는 rutile 구조를 가지고, RuO₂와 TiO₂ 간의 lattice mismatch가 ($a_{\text{TiO}_2} - a_{\text{RuO}_2}$)/ a_{RuO_2} =2.09%, ($c_{\text{TiO}_2} - c_{\text{RuO}_2}$)/ c_{RuO_2} =-4.76% 정도로 작기 때문에 TiO₂가 epitaxial 성장을 하면서 rutile 구조로의 결정화가 가능하다(Figure 2. 5). RuO₂ 위에서 rutile 구조로 결정화 된 TiO₂는 유전상수 100 이상의 high-k 특성을 나타내며, EOT(equivalent oxide thickness) 0.8nm에서도 10⁻⁷A/cm₂ 이하의 양호한 누설전류 특성을 확보할 수 있다.^[6,9]

RuO₂ 기판 위에서도 마찬가지로 SnO₂ 기판 위에서도 TiO₂를 rutile

구조로 결정화 시키면서 증착하는 것이 가능한 것으로 연구되었는데, SnO₂ 역시 TiO₂와 lattice mismatch가 $(a_{\text{TiO}_2} - a_{\text{SnO}_2}) / a_{\text{SnO}_2} = -3.10\%$, $(c_{\text{TiO}_2} - c_{\text{SnO}_2}) / c_{\text{SnO}_2} = -7.16\%$ 로 작기 때문이다. SnO₂ 기판 위에서 증착시킨 TiO₂ 역시 Figure 2. 6의 TEM 결과에서 보는 것처럼 결정화가 잘 되었으며, 이렇게 증착한 TiO₂의 capacitance density 특성은 RuO₂ 기판 위에서 증착한 TiO₂와 유사한 수준을 보이는 것으로 보고되었다^[10].

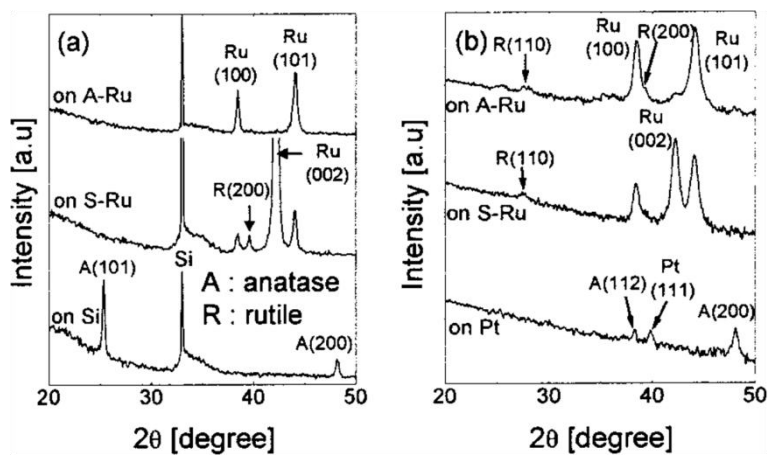


Figure 2. 5. XRD spectra of TiO_2 films grown on ALD Ru, sputtered Ru, and Si substrates (a) $\theta-2\theta$, and (b) glancing incidence modes^[6].

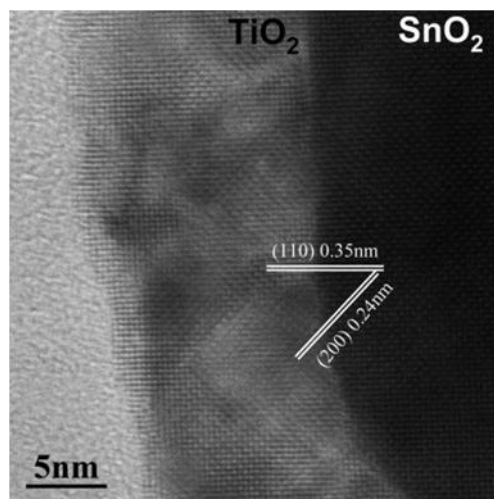


Figure 2. 6. TEM image of $\text{TiO}_2/\text{SnO}_2$ stack.^[10]

3. 실험 및 분석 방법

3.1 ALD system

본 연구에서는 TiO_2 , Al doped TiO_2 , SnO_2 막질을 ALD 방식으로 증착하였다. TiO_2 와 Al doped TiO_2 박막 증착에는 QUROS PLUS-100 ALD system이, SnO_2 박막 증착에는 Evertex PLUS-200 system이 각각 이용되었으며, 두 system 모두 공정 반응기(reactor), 기체 전달 시스템, 오존발생기(MKS, AX8560)로 구성되어 있다. 이와 같은 ALD system을 도식화하면 그림 3.1과 같다.

공정 반응기는 4inch wafer의 공정이 가능한 크기의 traveling-wave 형태이다. 메인 챔버(main chamber) 온도는 저항체를 이용한 히터로 스테이지 하단부를 가열하여 조절하며 최대 600°C 까지 승온 가능하다. 공정 중 주입된 precursor나 reactant가 반응기 벽에 흡착되는 것을 방지하기 위해 반응기 내벽의 온도를 올려 공정을 진행하는데 이 벽의 온도는 140°C 이상 승온 가능하다.

공정 반응기의 잔여 gas 및 부산물은 Dry Pump(EDWARDS, DP 40)를 이용하여 외부로 배출시킨다. 반응기의 부피가 600cc 정도로 작기 때문에 공정 중 purge가 어렵지 않으며, 최저 진공도는 20mTorr이다. 반응기로 300sccm을 흘려주면 반응기의 압력은 0.47Torr가 된다.

본 ALD 장비는 세 가지의 이성분계 산화막 및 이들이 혼합된 산화막을 증착할 수 있다. 특히 TiO_2 및 Al doped TiO_2 를 증착하는 ALD system에는 Zr, Al 그리고 Ti precursor가 연결되어 있어서 동일 반

응기 내에서 TiO_2 및 Al doped TiO_2 증착을 진행할 수 있었다. 실험 중에는 Ti 소스가 가스 전달 라인에 응축되지 않도록 라인 히터를 이용하여 전달 라인의 온도를 100°C 까지 승온하였다. ATO 증착 시 사용된 Al 소스인 TMA는 증기압이 매우 높기 때문에 용적이 170cc인 TMA 소스는 수냉식 방법으로 5°C 로 냉각하여 사용한다.

본 ALD 장비에는 300sccm까지 기체를 흘려줄 수 있는 MFC (Mass Flow Controller)가 총 5개 장착되어 있으며, pneumatic valve 와 manual valve를 이용하여 기체 라인을 개폐하였다. 오존 발생기의 경우 700sccm의 산소와 소량의 질소를 혼합하여 plasma를 이용해 오존을 생성하는데, 오존 농도는 오존 발생 cell의 압력을 조절하여 control 가능하였다. 공정 중 오존이 반응기로 유입되지 않도록 하기 위해 by-pass용 rotary pump(Varian, DS 202)가 사용되었다.

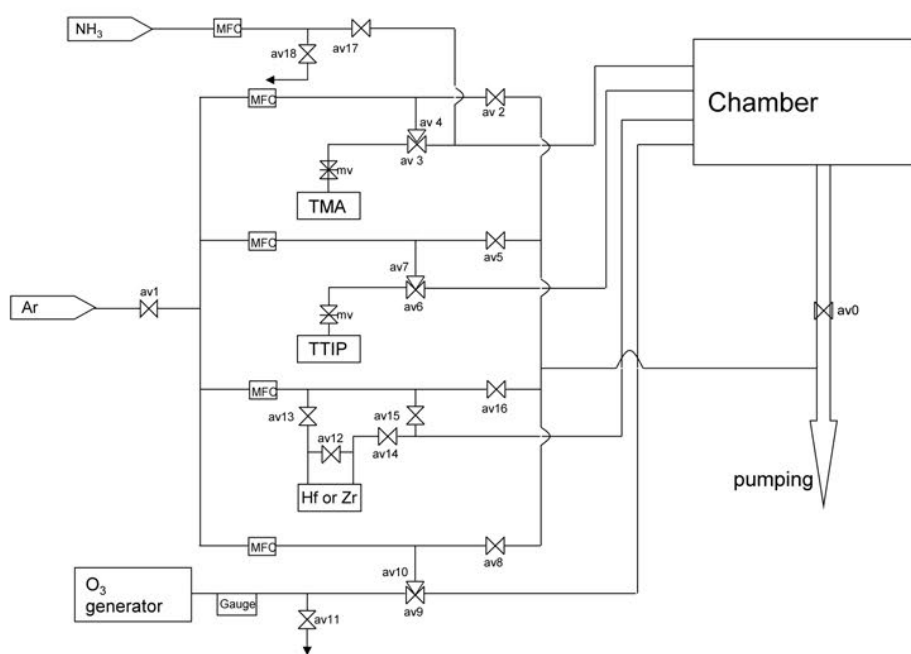


Figure 3. 1. Schematic diagram of the ALD system

3.2 하부 전극(RuO_2 , SnO_2) 증착

캐패시터의 하부 전극으로 사용된 RuO_2 는 230°C 에서 Pulsed CVD 방식으로 $\text{Ta}_2\text{O}_5(4\text{nm})/\text{SiO}_2(100\text{nm})/\text{Si}$ 기판 위에 증착하였으며, 8인치 웨이퍼를 증착할 수 있는 샤워헤드(showerhead) 방식의 챔버(Quros Co., Plus-200)에서 공정을 진행하였다. RuO_2 증착의 전구체(precursor)로는 Figure 3. 2의 구조를 가진 RuO_4 가 이용되었는데, RuO_4 는 유기용매 혼합물에 용해된 상태로 사용되었다(ToRuS by Air Liquide Co., density of 1.6 M). ToRuS 용액은 증기압이 높기 때문에 (10 Torr at 25°C) carrier gas 없이 바로 반응기로 유입시키는 것이 가능하였으며, 유입량 조절을 용이하게 하기 위하여 3°C 로 냉각하여 사용한다. RuO_2 증착 반응의 reactant로는 $95\%\text{N}_2/5\%\text{H}_2$ 의 혼합 gas를 환원제로써 사용하였다. Pulsed CVD 공정의 반응 gas 주입 시간은 ToRuS 유입, Ar purge, 환원 gas 유입, Ar purge 과정을 각각 1초, 7초, 3초, 5초로 진행하였으며, Ar purge gas 유량은 600sccm으로, 환원 gas 유량은 100sccm으로 고정하여 사용하였다.

RuO_2 기판의 환원 저항성을 높이기 위하여 도입한 SnO_2 는 Figure 3. 3의 분자구조를 가지는 $\text{Sn}(\text{N}(\text{CH}_3)_2)_4$ (TDMASn)을 사용하고, 산화제로는 O_3 를 사용하여 ALD 방식으로 증착하였다. TDMASn은 버블러를 이용하여 반응기로 유입되도록 하였고, carrier gas 유량은 50sccm, purge gas 유량은 1200sccm, O_3 유량은 1150sccm으로 설정하였다. TDMASn의 canister는 40°C 로 설정하였으며, 공정은 250°

C에서 진행하였다. TDMA_{Sn} 유입, Ar purge, O₃ 유입, Ar purge 과정을 반복하였고, 각각 3초, 5초, 0.5초, 20초 동안 진행하였다. 250° C에서 SnO₂를 증착할 경우 완전하게 rutile 구조로 결정화되지 않기 때문에, 완전한 결정화를 위해서는 후속 annealing이 필요하다. 하지만, RuO₂ 기판 위에서 증착할 경우 rutile 구조를 가지는 RuO₂ 기판의 영향으로 인하여 SnO₂가 rutile 구조로 epi 성장할 것이 예상되었으므로, 후속 열처리는 진행하지 않았다.

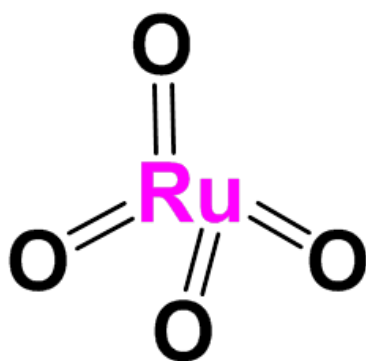


Figure 3. 2. Molecule structure of RuO₄

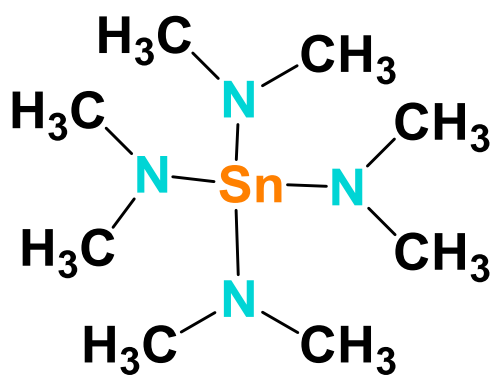


Figure 3. 3. Molecule structure of TDMASn (Sn(N(CH₃)₂)₄)

3.3 ALD를 이용한 TiO_2 , ATO(Al doped TiO_2) 증착

TiO_2 박막 증착을 위한 Ti metal source는 Figure 3. 4와 같은 분자 구조를 가지는 $\text{Ti}(\text{OCH}(\text{CH}_3)_2)_4$ (TTIP)를 사용하고, 산화제로는 O_3 를 사용하였다. TTIP는 carrier gas 없이 source가 직접 반응기로 유입되도록 하였고 TTIP canister와 source 전달 라인은 열선을 이용하여 각각 68°C , 110°C 로 가열하였다. 오존 농도는 $260\text{g}/\text{Nm}^3$ 으로 하였으며 Ar purge gas 유량은 300sccm 으로 설정하였다. 반응기의 공정 압력은 0.8Torr 로 유지시켰다.

Figure 3. 6 (a)는 TiO_2 ALD 공정의 모식도이다. ALD process는 TTIP source 유입, Ar purge, O_3 유입, Ar purge를 반복하며 진행하였고, 각각 3초, 5초, 3초, 5초 동안 진행하였다. 증착 온도는 260°C 로 유지하였고, TiO_2 박막은 $\text{RuO}_2/\text{Ta}_2\text{O}_5/\text{Si}$ 혹은 $\text{SnO}_2/\text{RuO}_2/\text{Ta}_2\text{O}_5/\text{Si}$ 기판에 증착하였다.

다음으로 동일한 ALD 장비를 이용하여 Al-doped TiO_2 를 증착하기 위해서 Ti 전구체로는 TTIP를, Al 전구체로는 TMA를 사용하였다. Figure 3.5은 TMA의 분자구조로, 이는 높은 증기압을 가지기 때문에 캐니스터 외부의 cooling jacket 도움을 받아 수냉식으로 5°C 로 냉각하여 사용한다.

Al doped TiO_2 의 공정 과정은 Figure 3. 6 (b)와 같으며 TMA 소스 유입과 purge의 시간을 각각 0.5초, 25초로 하였다. ATO의 경우 super-cycle의 형태로 진행되는데, 하나의 super-cycle은 'm+n'

번의 TiO_2 증착과 한번의 Al_2O_3 로 구성된다. ATO 박막 내의 Al 농도는 Al과 Ti 전구체의 유입 비율에 따라 달라지는데 본 연구에서는 Al과 Ti 전구체의 유입 비율을 1:99로 하여 증착하였다. Doping된 Al이 후속 열처리로 인하여 표면쪽으로 치우쳐 확산되는 경향을 고려하여^[11] Al_2O_3 증착 전 TiO_2 는 33cycle, Al_2O_3 증착 후 TiO_2 는 66cycle로 하여 TiO_2 막질 내에 Al이 균일하게 분포될 수 있도록 하였다.

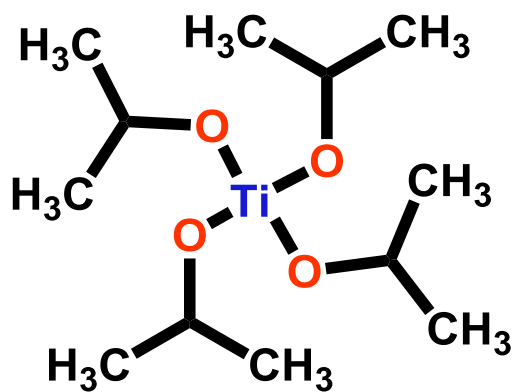


Figure 3. 4. Molecule structure of TTIP ($\text{Ti}(\text{OCH}(\text{CH}_3)_2)_4$)

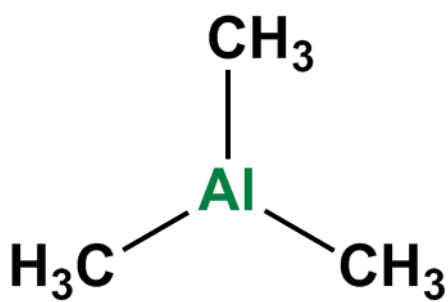


Figure 3.5. Molecule structure of TMA ($\text{Al}_2(\text{CH}_3)_6$)

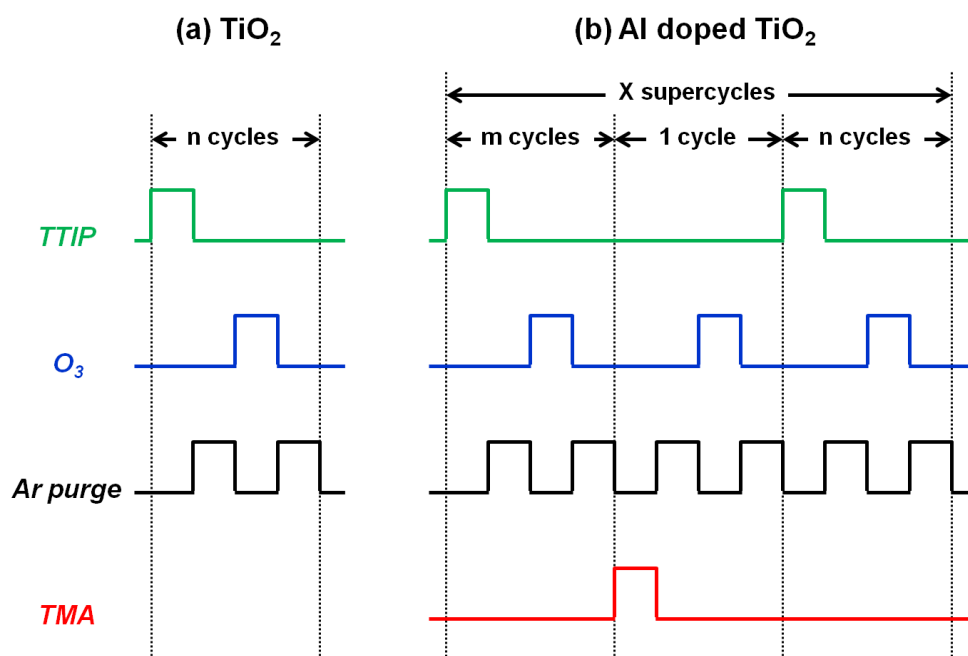


Figure 3. 6. A schematic representation of ALD cycles for (a) TiO_2 , (b) Al doped TiO_2

3.4 증착한 박막에 thermal stress 인가

증착된 박막의 표면 열처리 평가를 진행하기 위하여 RTP(rapid thermal annealing, ULTECH)를 이용하였다. RTP 열처리는 95% N_2 /5% H_2 나 O_2 분위기에서 진행하였으며, 열처리 온도는 400° C로 하였다.

3.5 증착 된 박막 분석

증착 된 박막의 물리적 두께는 spectroscopic ellipsometer(J.A. Woollam, M-2000)를 이용하여 측정하였으며, TiO_2 박막의 Ti나 RuO_2 전극의 Ru 면밀도는 X-ray fluorescent spectroscopy(XRF)를 이용하여 측정하였다. 박막 내 불순물 농도 및 depth profile을 확인하기 위해 Auger electron spectroscopy (AES, Perkin-Elmer, PHI 660) 분석을 진행하였다. 증착 된 박막의 결정성을 확인하기 위해서 glancing angle X-ray diffraction(XRD)을 이용하였고, 박막의 화학적 결합 상태 및 전자 구조와 박막 내 원소들의 농도를 확인하기 위해 X-ray photoelectron spectroscopy(XPS) 분석을 진행하였다. 박막의 표면 상태는 Scanning electron microscope (SEM)을 이용하여 관찰하였고, 표면 상태와 동시에 RMS roughness 확인을 위해서는 Atomic force microscopy(AFM)을 이용하였다.

박막의 전기적 특성을 확인하기 위해 Pt 및 RuO_2 전극을 형성시킴으로써 Figure 3. 7과 같은 Metal-Insulator-Metal(MIM) 구조의

capacitor를 제작하였다. Pt 전극은 shadow mask를 이용하여 sputtering 및 E-beam evaporation 방법으로 형성시켰으며, RuO₂ 전극 또한 shadow mask를 이용하여 sputtering 방법으로 형성시켰다. 전기적 특성은 동일 방법으로 상부전극을 형성시킨 시료끼리만 비교함으로써 전극 제작 방법에 기인한 특성 차이의 가능성을 배제하였다. 상부 전극(Top electrode)은 형성시킨 전극을 바로 이용하였고, 하부 전극(Bottom electrode)은 시편의 특정 위치에서 20V 정도의 높은 전압을 순간 가하여 breakdown leakage path를 형성시킴으로써 상부에서 contact 가능하도록 하였다. Pt 및 RuO₂ 전극과 유전막 사이 계면의 curing을 위하여 전극을 증착시킨 후 tube furnace 내에서 N₂/O₂(5%) 분위기에서 400° C를 유지하면서 30분 동안 열처리를 하였다. 전기적 특성은 Hewlett-Packard 4194A impedance analyzer에서 주파수를 10kHz로 하여 capacitance-voltage(C-V) 특성을 측정하고, 4140B picoammeter를 이용하여 current density-voltage(J-V) 특성을 확인하였다.

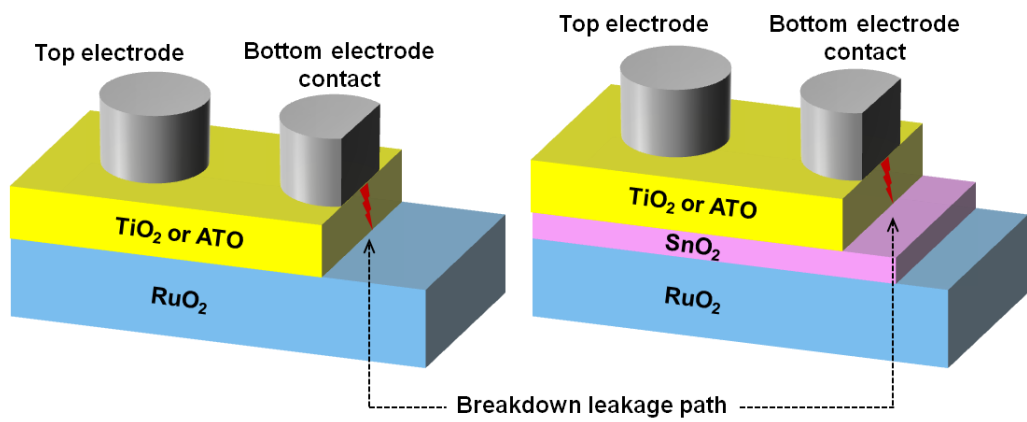


Figure 3. 7. Schematic diagrams of MIM capacitor for (a) RuO_2 substrate (b) $\text{SnO}_2/\text{RuO}_2$ substrate

4. 결과 및 논의

4.1 RuO₂ 환원 저항성 향상 barrier로써의 SnO₂ 박막 도입 가능성 확인

본 연구는 TiO₂ 유전막 증착 중 하부 전극인 RuO₂가 Ru로 쉽게 환원되는 경향을 억제시키기 위해 SnO₂ 박막을 TiO₂와 RuO₂ 사이에 추가하여 평가하는 것이다. 따라서 TiO₂를 증착하기 전 SnO₂ 박막을 증착한 RuO₂ (SnO₂/RuO₂)의 surface 특성을 확인하여, 기판으로써 사용 가능 여부를 먼저 확인하였다. 또한 thermal stress 평가를 통하여 SnO₂ barrier의 도입이 실제 RuO₂의 환원 저항성을 높이는데 기여하는지 여부를 우선 확인하였다.

4.1.1 SnO₂/RuO₂ substrate 특성 확인

RuO₂ 기판에 SnO₂를 얇게 증착한 후 막질 내 불순물 여부를 확인하기 위하여 AES 분석을 진행하였으며 그 결과는 Figure 4. 1에 나타내었다. 분석은 막질 내의 탄소(Carbon) 및 질소(Nitrogen) 불순물 관점에서 진행하였다. 그 결과 막질 내부에서는 탄소 및 질소 불순물 모두 의미 있는 수치가 전혀 확인되지 않았고, 탄소 불순물의 경우 시료 표면 근처에서만 일정 수준 확인되었다. 막질 표면의 탄소 불순물은 시료가 공기 중에 노출되는 경우 분석 초기에 검출되는 것이 일반

적인 것으로 알려져 있기 때문에 AES 분석 sputtering 초반에 확인된 탄소 불순물은 막질의 특성과는 무관한 것으로 간주 할 수 있다. 따라서 RuO₂ 상부에 SnO₂ 박막을 증착한 경우 탄소나 질소 불순물의 영향 없이 기판으로 사용 가능할 것으로 판단하였다.

본 연구는 SnO₂ 박막 도입을 통해 환원 저항성이 높아진 기판을 구현하여 TiO₂ 유전막의 하부 기판으로서 사용 가능한지를 평가하는 것이 목적이므로 열적 stress에 의한 표면의 물리적 상태 변화가 크지 않아야만 한다. 따라서 동일한 SnO₂/RuO₂ 기판에 열적 스트레스 (thermal stress)를 인가하면서 표면 거칠기 변화를 AFM으로 관찰하였으며 Figure 4. 2가 그 결과를 보여준다. 400° C의 N₂/H₂(5%) 환원 gas 분위기의 가혹한 조건에 80분 동안 기판을 노출시켰으나, 열적 stress가 인가되기 이전의 표면 거칠기와 유의미한 차이는 보이지 않았으므로 기판으로서 사용 가능함을 확인할 수 있었다.

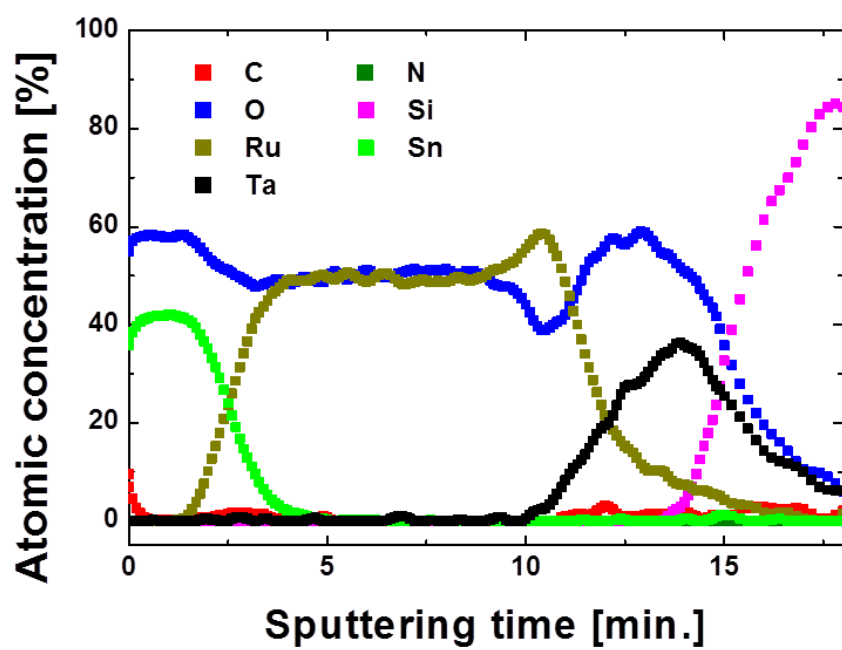


Figure 4. 1. AES depth profile of SnO₂ on RuO₂ substrate

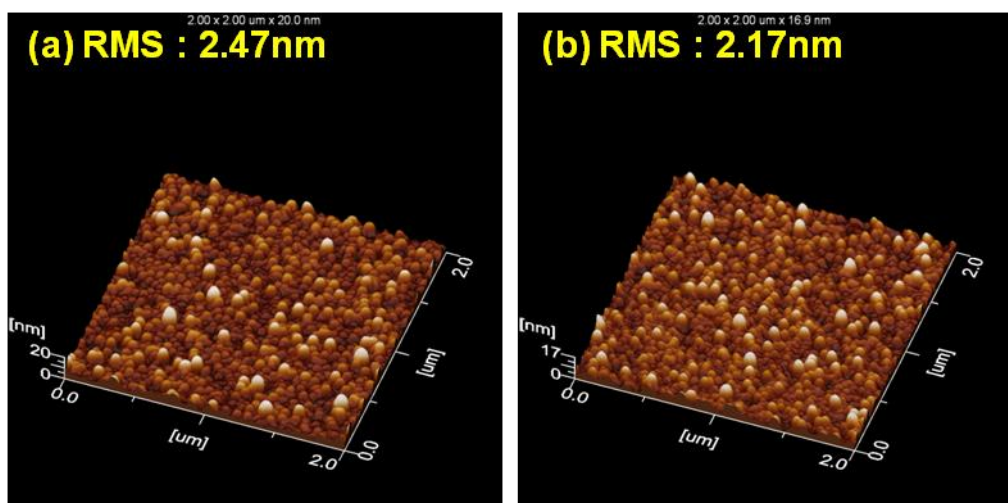


Figure 4. 2. Surface roughness of SnO₂ film (a) as deposition, and (b) after being exposed to thermal stress for 80 minutes

4.1.2 열적 스트레스에 따른 기판 환원성 비교

SnO₂를 증착한 RuO₂ 기판의 특성을 확인했으므로 본격적으로 RuO₂ 기판과의 환원 저항성 차이를 평가하였다.

Figure 4. 3은 RuO₂ 기판과 5nm의 SnO₂ 박막이 증착된 RuO₂ 기판 각각에 대하여 N₂(95%)/H₂(5%) 환원 gas 분위기에서 400℃ 열처리(thermal stress) 진행하며 열처리 시간에 따른 XRD peak 변화를 확인한 결과이다. 먼저 열처리 진행 전의 XRD 결과를 보면 두 기판 모두 뚜렷한 RuO₂ peak만을 나타내고 있다. 하지만 열처리를 진행한 경우 RuO₂ 단일 기판은 30초의 짧은 시간만 stress에 노출시켜도 RuO₂ peak은 모두 사라지고, 강한 Ru peak으로 변경된 것이 확인된다. 하지만 RuO₂ 위에 SnO₂ 박막을 증착시킨 기판의 경우 상대적으로 긴 시간 동안 stress에 노출되어도 RuO₂ peak intensity에 큰 변화가 없었다. Stress 노출 시간을 늘려 가며 확인해본 결과, 10분 이상 노출된 이후에야 RuO₂ peak intensity가 줄어들면서 Ru peak이 커지는 것이 확인되었다. 따라서 SnO₂ 박막이 RuO₂의 환원 저항성을 높여주는 역할을 할 수 있는 것으로 파악되었다. 하지만 SnO₂ 박막이 있더라도 thermal stress 80분의 가혹 조건에서는 박막이 없는 경우와 마찬가지로 RuO₂가 완전히 Ru로 환원이 진행되는 것이 확인되었다.

Figure 4. 4는 RuO₂ 기판 및 SnO₂/RuO₂ 기판의 열처리 전, 후의 표면 상태 변화를 SEM으로 확인한 결과이다. 열처리는 두 기판 동시에

환원 gas 분위기에서 10분간 진행하였으며 (a)는 열처리 전 RuO_2 기판, (b)는 열처리 후 RuO_2 기판, (c)는 열처리 전 $\text{SnO}_2/\text{RuO}_2$ 기판, (d)는 열처리 후 $\text{SnO}_2/\text{RuO}_2$ 기판에서 검사한 이미지이다. 열처리 전 기판은 250K 배율로, 열처리 후 기판은 200K배율로 검사한 결과를 나타내었다.

$\text{SnO}_2/\text{RuO}_2$ 기판의 경우 열처리 전, 후의 표면 상태에서 유의한 변화가 관찰되지 않는다. 하지만 RuO_2 기판에서는 열처리 후 기판 표면 상태 변화가 매우 커 보인다. Layer의 일부 영역이 비어버린 듯한 경향이 관찰되는데, 이는 RuO_2 가 Ru로 환원되면서 기존에 oxygen이 차지하던 자리가 비게 됨에 따라 Ru끼리 응집(agglomeration)하는 현상이 발생했기 때문인 것으로 판단된다. 이러한 점을 확인하기 위해 EDS(Energy Dispersive Spectrometer) 검사를 진행하였다. 막질 내의 O와 Ru의 원소 비율을 비교한 결과 Figure 4. 5 및 Table 4. 1 에서 확인되는 것과 같이 솟은 위치(ridge area)에서의 Ru 비율이 골진 위치(valley area)에서의 Ru 비율 대비 현저히 높은 것이 확인되었다. 열처리 전 RuO_2 기판에서 확인했던 결과와 비교 시 valley 영역에서의 비율이 열처리 전 기존의 상태와 좀 더 가까운 것으로 분석되었다.

EDS 분석 특성상 결과에서 보이는 Ru와 O의 비율은 RuO_2 layer만의 원소 비율이 아니므로, 이 수치 자체를 절대적인 것으로 판단할 수는 없다. 하지만, Figure 4. 3의 GAXRD 결과에서 RuO_2 기판은 환원 gas 열처리 후 Ru peak만이 확인되었던 점을 감안한다면, ridge 영역과 valley 영역에서의 Ru 원소 비율 변화 발생은 RuO_2 가 Ru로 환원되면서 부피 감소(volume shrink) 및 응집(agglomeration)이 발생에

기인했다는 것을 예상해볼 수 있다. Valley 영역에서의 원소 비율은 열처리 전 상태의 비율과 유사하지만 ridge 영역에서는 Ru가 높아진 점이 그러한 사실을 검증해 준다고 할 수 있다. Valley 영역에서는 완전히 환원되지 않고 남은 원래 상태의 일부 RuO₂ layer가 분석되었기 때문에 Ru와 O의 비율이 기존 RuO₂와 유사하지만, ridge 영역에서는 RuO₂가 환원된 후 Ru가 응집된 상태이므로 Ru의 비율이 높게 나타나는 것이다. 따라서 SEM 표면 확인 결과 및 EDS 결과를 통해서도 SnO₂ 박막이 증착된 RuO₂ 기판이 RuO₂ 단일 기판보다 환원 저항성이 높다는 점을 알 수 있었다.

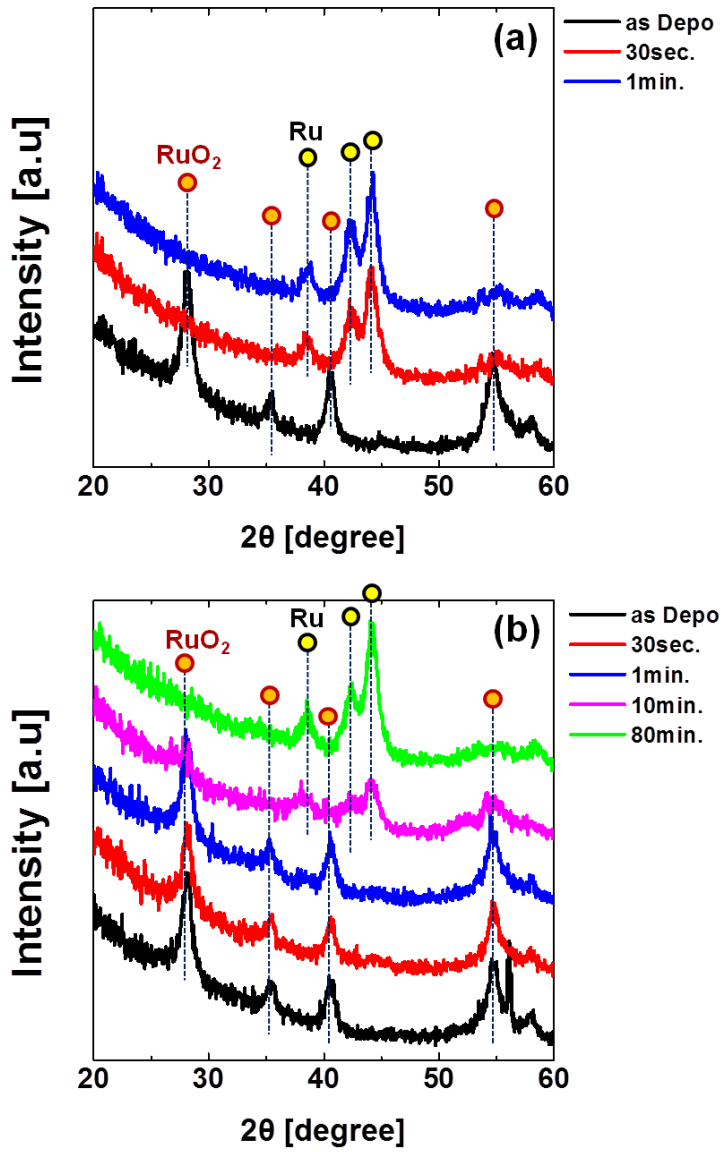


Figure 4. 3. GAXRD peaks of RuO₂ substrate reduction test by thermal stress : (a) RuO₂ only, and (b) 5nm SnO₂ on RuO₂

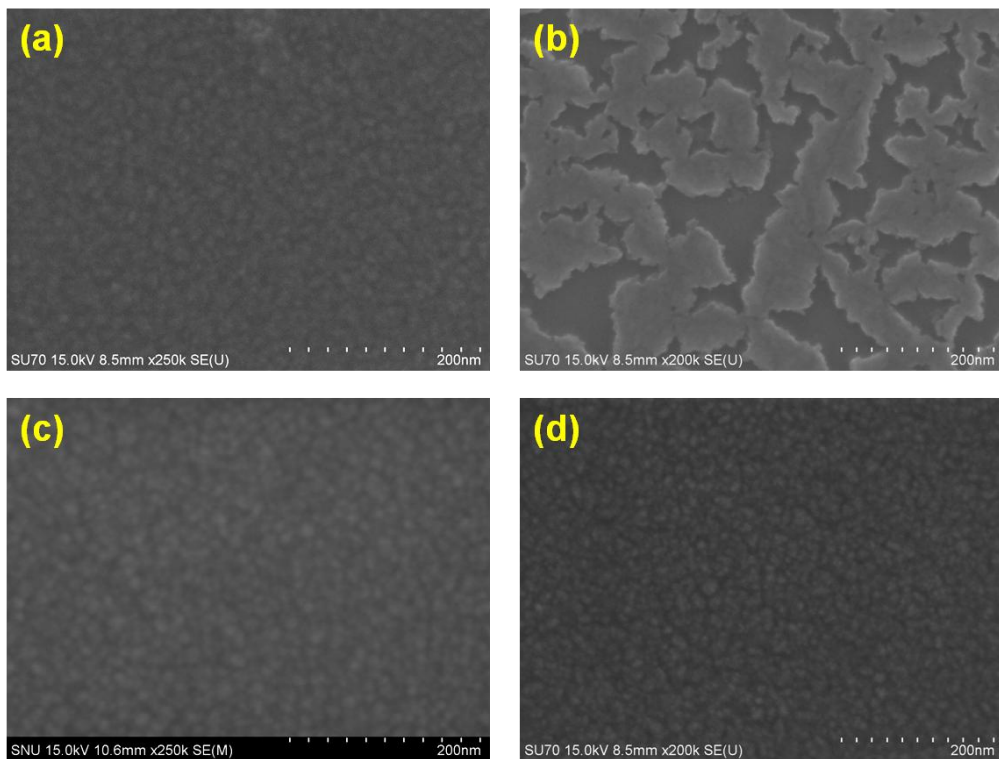


Figure 4. 4. SEM(Scanning Electron Microscope) images of substrates : (a) RuO₂, (b) RuO₂ with 10min. thermal stress, (c) SnO₂/RuO₂, and (d) SnO₂/RuO₂ with 10 min. thermal stress.

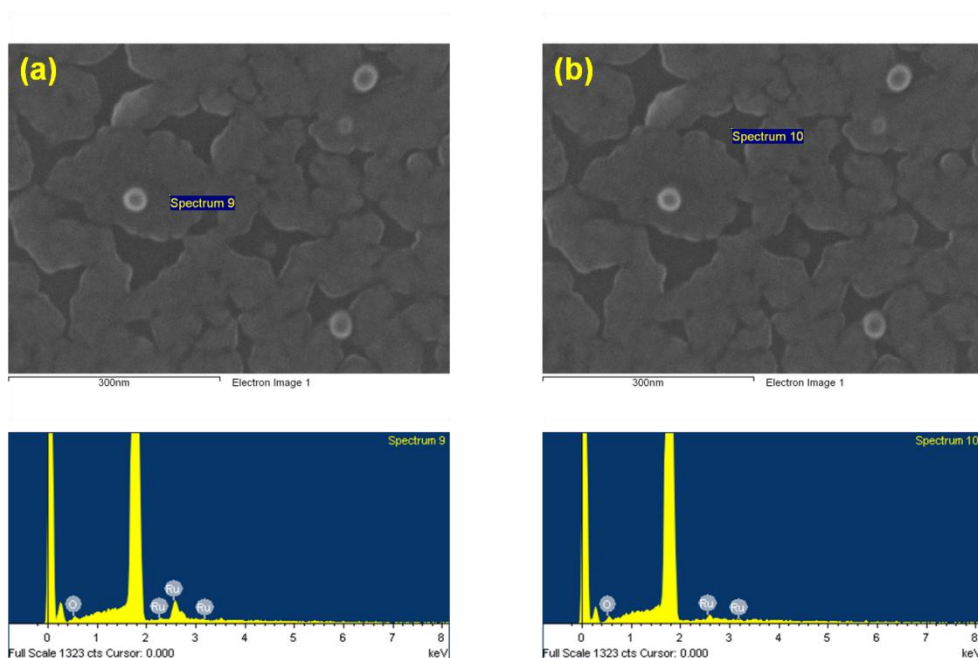


Figure 4. 5. EDS test result of RuO₂ with 10min. thermal stress :

(a)ridge area (b)valley area

	Element	Weight %	Atomic %
Ref. (before heat treat.)	O	63.53	91.67
	Ru	36.47	8.33
Valley area	O	58.88	90.05
	Ru	41.12	9.95
Ridge area	O	32.01	74.84
	Ru	67.99	25.16

Table 4. 1. Percentage of elements in RuO₂ layer analyzed by

EDS

4.2 SnO₂ 박막 도입에 따른 환원 저항성 향상 검증

SnO₂ 박막 도입을 통해 환원 저항성이 증진된 기판을 사용할 수 있다는 점이 확인되었으므로, 실제 TiO₂ 유전막을 증착하며 기판 평가를 진행하였다. SnO₂/RuO₂ 기판에서도 RuO₂ 기판에서와 마찬가지로 TiO₂가 안정적으로 rutile phase 성장이 가능함을 확인한 후, 여러 가지 방법을 통하여 TiO₂의 기판 상태에서도 SnO₂가 RuO₂의 환원저항성을 높인다는 것을 검증해보았다.

4.2.1 SnO₂/RuO₂ 기판에서의 rutile 구조 TiO₂ 증착 가능성 확인

SnO₂기판의 phase가 rutile이라면 SnO₂ 기판 위에서도 RuO₂ 기판 위에서도 동일하게 TiO₂가 rutile phase로 증착 가능하다는 것은 기존 연구에서 알려진 바 있다.^[10] 이러한 사실을 바탕으로 SnO₂ 박막이 올라간 RuO₂ 기판 위에서도 TiO₂가 rutile 구조로 문제 없이 증착 가능하다는 점을 우선 확인하기 위해 RuO₂ 기판과 SnO₂/RuO₂ 기판 위에 동시에 TiO₂ 650cycle 증착 진행 후, 증착된 TiO₂의 특성을 확인하였다.

Figure 4. 6은 증착된 TiO₂ 막질의 GAXRD peak을 비교한 결과로, RuO₂ 기판 위에 증착한 TiO₂와 동일한 (110), (011), (121)방향 rutile peak들이 SnO₂/RuO₂ 기판 위에 증착한 TiO₂에서도 나타나는

것을 확인할 수 있다. 하지만 $\text{SnO}_2/\text{RuO}_2$ 기판 위에 증착된 TiO_2 에서 뚜렷하게 확인되는 (111)방향 rutile peak의 경우 RuO_2 기판 위에 증착된 TiO_2 에서는 거의 확인되지 않는 반면 Ru peak이 일부 나타나고 있다. 이러한 현상은 TiO_2 증착 과정에 RuO_2 기판의 일부가 Ru로 환원된 데 기인한 것이라 할 수 있겠으나, TiO_2 가 21nm 정도로 충분히 두꺼운 상태이므로 rutile peak 에서 RuO_2 기판의 영향이 크지 않기 때문에 기존에 peak intensity가 낮은 (111) 방향에서만 그 차이가 유의하게 확인되는 것으로 판단된다. SnO_2 박막이 포함된 경우 TiO_2 증착 과정에 RuO_2 의 환원을 억제시켰기 때문에 intensity가 미약한 (111) peak도 뚜렷하게 구분되며 Ru peak은 미약한 것으로 판단된다.

Figure 4. 7은 두 기판 위에 증착된 TiO_2 유전막 표면의 거칠기 (roughness)를 AFM으로 비교한 결과로써, 하부 기판 변경에 따른 TiO_2 에서 표면 열화는 발생하지 않은 것으로 확인되었다.

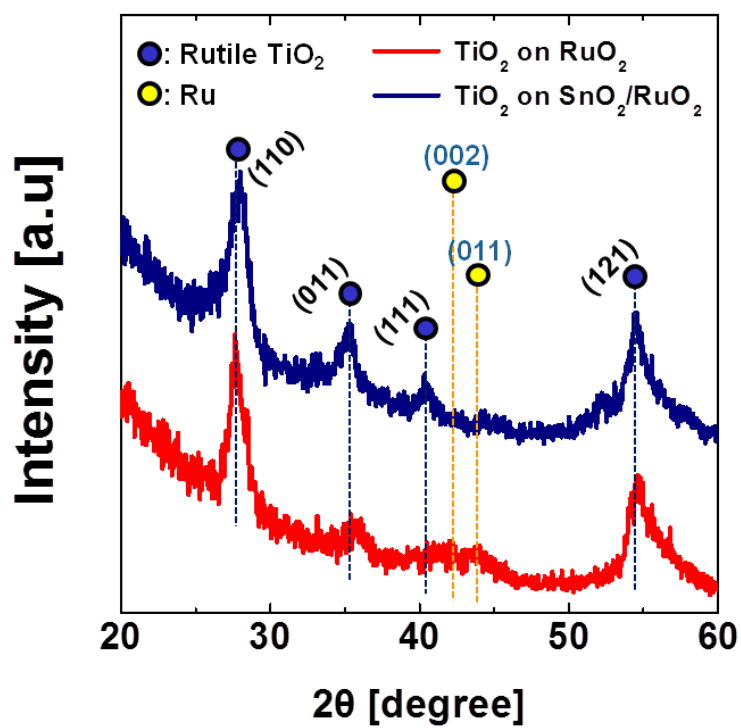


Figure 4. 6. XRD patterns of as-deposited TiO_2 films on RuO_2 and on $\text{SnO}_2/\text{RuO}_2$

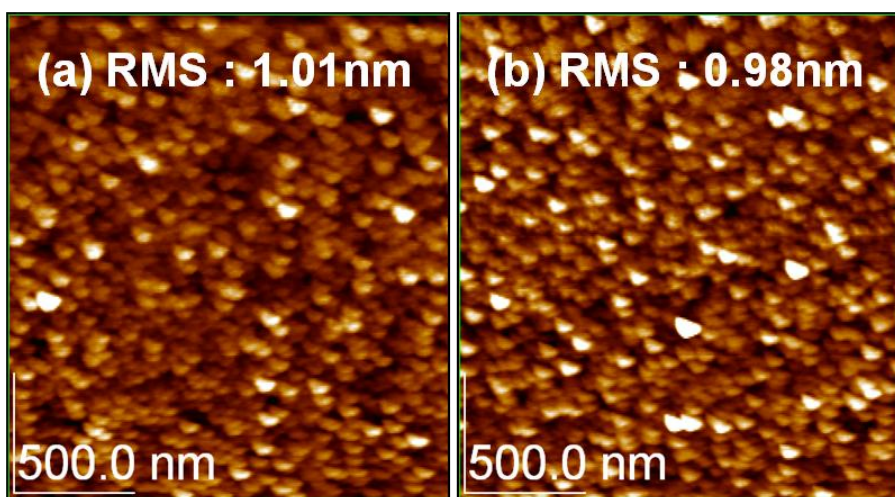


Figure 4. 7. Surface morphology of TiO_2 films grown on
(a) RuO_2 (b) $\text{SnO}_2/\text{RuO}_2$

4.2.2 TiO₂ 증착 초기 성장 거동 비교

ALD 방식을 사용할 경우 증착을 진행하는 기판이나 사용하는 전구체, 반응물질(reactant)에 따라서 초기 증착 속도가 bulk 상태의 증착 속도와 다른 경우가 발생한다. 이는 기판과의 상호작용에 기인한 현상인데, 본 실험에서 사용한 TiO₂ ALD 조건의 경우 증착 초기에 기판으로부터 산소를 공급받으면서 일정 부분 CVD 반응이 발생하여 과성장 이 생기는 것으로 알려져 있다.^[6,12] 만약 TiO₂ 막질을 증착하는 동안 RuO₂ 기판이 Ru로 환원된다면 환원 과정에서 발생한 산소가 기판 표면으로 공급되면서, 산소 과공급에 따른 CVD 반응이 발생하여 TiO₂ 증착이 좀 더 촉진될 것으로 예상되었다. 따라서 RuO₂와 SnO₂/RuO₂ 양쪽 기판에서 동시에 TiO₂를 증착시키면서 증착 초기 성장률(growth rate)을 비교하여 RuO₂의 환원 정도를 비교해보았다.

Figure 4. 8은 RuO₂ 기판과 SnO₂/RuO₂ 기판에 동시에 TiO₂를 증착하면서 증착 cycle 수에 따른 Ti layer density 변화를 확인한 결과이다. 두 기판 모두 증착 초기 10cycle까지의 growth rate이 10cycle 이후보다 빠른 것으로 확인되는데, 이는 기존 연구에서 확인되었던 결과와 일치하는 현상이다^[12]. 하지만 양쪽 기판의 growth rate을 비교해보면 bulk에서의 growth rate은 유사한 수준을 보이는 반면 초기 10cycle에서의 증착 속도는 확연하게 다르다. RuO₂기판에서의 초기 growth rate은 SnO₂/RuO₂ 기판 대비 약 3배 빠르고, bulk에서의 증착 속도 대비 약 4배 빠른 것으로 파악된다. 이러한 차이점은 RuO₂ 기판

에서 증착할 경우 RuO_2 의 환원으로 인해 기판에서 발생한 산소가 TiO_2 의 CVD 반응을 야기시킨 반면, $\text{SnO}_2/\text{RuO}_2$ 기판에서는 증착 초기에도 RuO_2 기판 대비 기판으로부터 공급되는 산소량이 상대적으로 적었기 때문인 것으로 예상할 수 있다. 따라서 TiO_2 유전막을 증착시키는 단계에서도 RuO_2 의 환원을 SnO_2 가 적절히 억제하고 있는 것으로 파악된다.

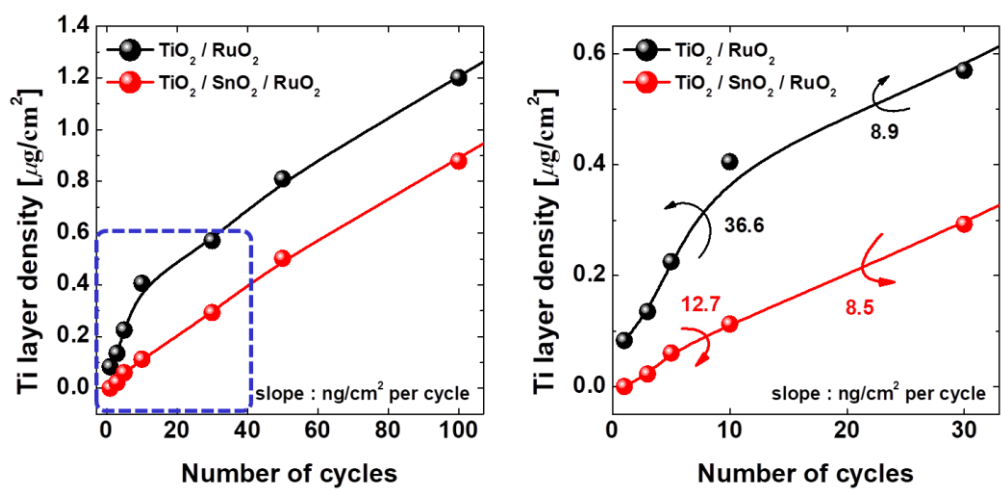


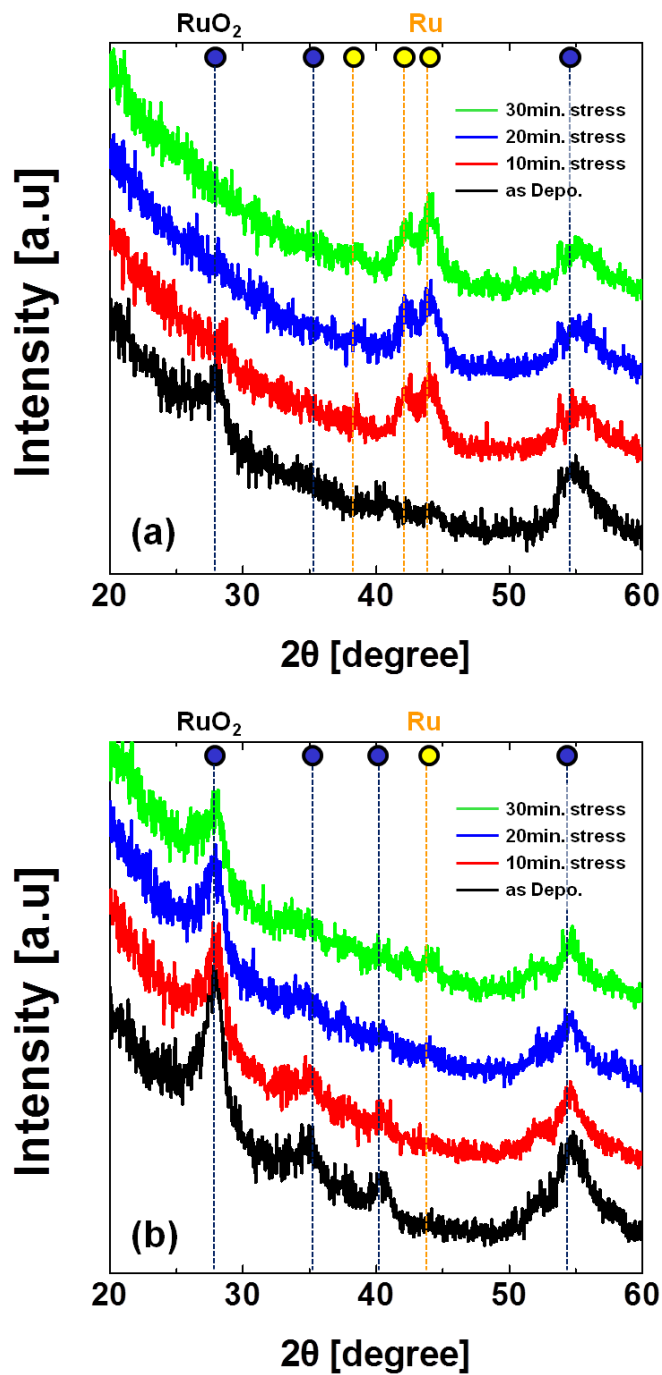
Figure 4. 8. TiO_2 growth characteristic at initial stage

4.2.3 TiO₂가 증착된 기판의 열적 스트레스에 따른 환원성 비교

TiO₂ 증착 과정에서 RuO₂ 기판 환원 저항성이 SnO₂ 박막 도입을 통해 향상될 수 있다는 점을 확인하였으므로, 유전막 증착 후의 열적 스트레스 환경에서도 SnO₂박막 도입이 RuO₂의 환원 저항성을 향상시키는 지 여부를 확인해 보기로 하였다. 실제 DRAM에 적용할 경우 캐패시터 공정 이후에도 여러 후속 공정이 진행되므로 다양한 열적 stress에 노출될 수 밖에 없다. 이러한 상황을 상정하여 상부에 TiO₂ 유전막을 증착한 후 열적 스트레스에 따른 하부 기판 환원 여부와, SnO₂ 도입으로 인한 기판 환원 억제 가능성을 평가한 것이다. 이를 위해 RuO₂, SnO₂/RuO₂ 양쪽 기판에 TiO₂를 증착시킨 후 열처리를 하면서 RuO₂ 기판의 phase 변화를 XRD로 관찰하였다. TiO₂는 RuO₂와 동일한 rutile phase를 가지기 때문에 XRD 확인 시 두 막질의 peak 위치를 쉽게 구분할 수 없으므로, TiO₂ 막질의 영향성을 배제하기 위해 TiO₂를 가능한 얇게 depo하기로 하였다. 따라서 TiO₂는 앞선 증착 초기 거동 실험에서 기판 영향에 의한 과성장 단계를 충분히 지난 것으로 확인되는 정도인 30cycle만을 두 기판에 동시 증착하여 평가 진행하였다. 열적 스트레스는 N₂(95%)/H₂(5%) 환원 gas 분위기에서 400° C 열처리를 10분 단위로 늘려가며 인가하였다.

Figure 4. 9의 (a)는 TiO₂가 증착된 RuO₂ 기판의 XRD 결과이고, (b)는 TiO₂가 증착된 SnO₂/RuO₂ 기판의 XRD 결과이다. 각 기판의 as Depo. 상태와 열처리를 10분, 20분, 30분 진행한 이후의 4가지 경

우에 대하여 GAXRD 방식으로 측정 진행하였다. 평가 결과 앞서 기판 단독 평가 결과에서 이미 확인했던 것처럼 as Depo. 상태에서도 SnO_2 의 유무에 따라 Ru peak의 미약한 차이가 보이기 시작했다. 그리고 10분의 열처리만으로도 RuO_2 기판 바로 위에 TiO_2 가 증착된 시료에서는 Ru peak이 강하게 나타나는 동시에 RuO_2 peak intensity가 급격히 낮아지는 것이 보였다. 하지만 SnO_2 박막이 있는 경우 30분 이상 열처리 진행된 이후에야 Ru peak이 확인되며 RuO_2 peak intensity가 낮아지는 경향을 보임으로써, TiO_2 증착 이후 후속 열처리 과정에서도 SnO_2 가 기판 환원 저항성을 높이고 있다는 점을 확인할 수 있었다.



4.2.4 TiO₂ 증착 후 기판에서의 원소 비율 확인

TiO₂를 증착한 후, 증착 과정에서 발생한 RuO₂의 환원 정도를 비교해보기 위하여 AES 분석을 통해 양쪽 시료의 depth profile을 확인해보았다. RuO₂ 기판 및 SnO₂/RuO₂ 기판에 TiO₂를 동시에 50cycle 증착한 시료로 분석 진행하였으며, 분석 결과는 Figure 4. 10에 보이는 것과 같다. Data에서 확인되는 두 시료간의 결과 차이는 막질 내부로 Ti 원소가 분포해있는 특성과 RuO₂ layer에 포함된 oxygen의 상대적 인 비율에서 가장 두드러져 보인다.

Ti 원소 분포의 경우 TiO₂를 SnO₂/RuO₂ 기판에 증착한 시료에서는 SnO₂ layer에서부터 Ti 원소 비율이 급감하는 결과를 보이지만, TiO₂를 RuO₂ 기판에 증착한 시료에서는 RuO₂ 하부의 Ta₂O₅ layer를 만날 때까지 Ti 원소가 점진적으로 감소하는 현상을 보인다. 이러한 분포 차이를 보이는 원인으로서는 두 가지 가능성을 생각해볼 수 있다. 첫 번째는 Ti 원소가 RuO₂ layer에서는 쉽게 확산되지만 SnO₂ layer에 의해 기판으로 Ti 원소가 확산되는 것이 저지되었을 가능성이고, 두 번째는 RuO₂ 기판에서 증착된 TiO₂ 시료의 AES 분석 시 식각(etching)을 진행하는 과정에서 시료 표면의 완전히 제거되지 않은 Ti 원소가 섞여 들어갔을 가능성이다. 두 가능성 모두 RuO₂의 환원 저항성 관점에서 유의한 내용이 아니므로 SnO₂ 유무에 따른 기판 환원 저항성 비교에서는 제외하였다.

하지만 RuO₂ layer에 포함된 oxygen와 Ru의 상대적 비율 차이의 경우 SnO₂에 의해 환원이 억제된 결과를 잘 보여주고 있다고 판단할

수 있다. RuO₂ layer 상단에 다른 물질이 증착되지 않은 경우, Figure 4. 11 (a) 에서 보는 것처럼 Ru와 oxygen의 비율은 거의 유사하다는 것이 동일한 조건으로 동일 장비에서 RuO₂를 증착했던 이전 연구에서 확인된 바 있다.^[13] 이를 기준으로 분석 결과를 살펴보면 RuO₂ 위에서 바로 TiO₂를 증착시킨 경우 RuO₂ layer에서의 Ru비율이 oxygen 대비 약 1.5배 높은 것이 확인되는데, 이는 RuO₂ 기판이 환원되면서 발생하는 oxygen을 TiO₂ layer로 빼앗기게 되면서 상대적인 oxygen 비율이 줄어든 것으로 파악할 수 있다. 반면에 SnO₂ 박막 위에서 TiO₂를 증착시킨 경우 RuO₂ 증착 직후의 Ru와 oxygen 비율이 그대로 유지되고 있는 것이 확인된다. 분석이 잘못 진행되었거나, 시료 자체에 문제가 있었을 가능성을 고려하여 이 실험과 동일한 조건으로 동일한 장비에서 TiO₂를 RuO₂ 위에 바로 증착한 경우의 이전 결과를 확인해보았다.^[14] Figure 4. 11 (b)에서 보는 것과 같이 RuO₂ layer에서 Ru의 비율이 oxygen 대비 약 1.5배 높았던 것으로 확인되며 그 비율은 Figure 4.10 (a)에서 보이는 것과 유사하다. 따라서 TiO₂ 증착 후 RuO₂ layer 내의 Ru와 O의 원소 비율 변화를 통해서도 SnO₂도입으로 인해 RuO₂의 환원이 억제되고 있다는 점을 파악할 수 있었다.

SnO₂ 박막 도입을 통해 RuO₂ 기판의 환원 저항성을 향상시킬 수 있다는 점은 RuO₂ 막질 내에 Ru와 O 원소 비율뿐만 아니라, TiO₂ 증착 전, 후의 원소의 절대량 변화로도 확인이 가능하였다. Figure 4. 12는 막질 증착 전, 후의 면밀도 변화를 XRF를 이용하여 확인한 결과이다. (a)는 RuO₂ 기판 및 SnO₂/RuO₂ 기판 위에 TiO₂를 증착할 때 발

생하는 Ru 면밀도 변화와 $\text{SnO}_2/\text{RuO}_2$ 기판을 만들기 위해 RuO_2 기판 위에 SnO_2 박막을 증착하는 단계에서의 Ru 면밀도 변화를 나타낸 것이다. (b)는 비교를 위하여 $\text{SnO}_2/\text{RuO}_2$ 기판 위에 TiO_2 를 증착할 때의 Sn 변화를 확인하여 나타내었다. 모든 시료의 TiO_2 는 600cycle로 진행하였으며, SnO_2 는 30cycle 진행하였다. 또한 error값은 동일한 시료를 반복 측정했을 때 측정값이 달라지는 정도의 median 값을 확인하여 $\pm 0.2\mu\text{g}/\text{cm}^2$ 로 설정하였다. 가로축은 각기 다른 시점에서 ALD를 진행한 횟수를 의미하며, 각 동일한 가로축 상의 data들은 TiO_2 를 동시에 증착한 RuO_2 기판과, $\text{SnO}_2/\text{RuO}_2$ 기판의 변화량이다. SnO_2 증착 전, 후의 data는 해당 ALD 차수에 TiO_2 증착 기판으로 사용된 $\text{SnO}_2/\text{RuO}_2$ 생성 과정에 발생한 변화량이다.

RuO_2 기판 위에서 TiO_2 가 증착된 경우 $2 \sim 4.8\mu\text{g}/\text{cm}^2$ 사이의 Ru 면밀도 변화가 확인되었다. 하지만 동시에 TiO_2 증착을 진행한 $\text{SnO}_2/\text{RuO}_2$ 기판에서의 Ru 면밀도 변화는 $0 \sim 1\mu\text{g}/\text{cm}^2$ 정도의 상대적으로 매우 낮은 수준을 나타내었다. 이러한 면밀도 변화는 RuO_2 가 환원되어 생성된 Ru가 TiO_2 증착 중에 산화제로 사용되는 O_3 와의 반응을 통하여 일부 식각(etch)되기 때문인 것으로 파악된다.^[15] $\text{SnO}_2/\text{RuO}_2$ 기판에서 Ru 면밀도 변화가 적은 것은 SnO_2 막질이 RuO_2 의 노출을 막고 있기 때문이지만, 실제 SnO_2 증착 과정에는 TiO_2 를 RuO_2 위에 바로 증착했을 때처럼 상당량의 Ru 면밀도 감소가 있었을 경우를 확인하기 위해 SnO_2 증착을 전, 후한 RuO_2 기판에서의 Ru 변화 역시 확인하였으나 이 때의 Ru 면밀도 변화는 측정된 모든 경우에서 거의 0에 가까운 값을 보였다. RuO_2 기판 위에 SnO_2 박막이

증착되고 TiO_2 유전막이 증착되는 전 과정동안의 Ru 전체 변화량을 상정하더라도, TiO_2 를 RuO_2 기판 위에 바로 증착하는 경우 대비 매우 낮은 수준으로 확인된다. 이렇게 $\text{SnO}_2/\text{RuO}_2$ 기판에서의 Ru 면밀도 변화량이 낮지만 그만큼 SnO_2 layer에서 Sn 원소가 영향을 받았을 가능성을 고려하여, TiO_2 증착 전, 후의 Sn 면밀도 변화 역시 측정하였다. Figure 4. 12(b)에서 보는 것처럼 대부분의 증착 결과에서 TiO_2 증착 전, 후 Sn의 면밀도 변화량은 $0.5\mu\text{g}/\text{cm}^2$ 이하의 미미한 수준이었다.

이러한 면밀도 변화량의 차이는 각 막질간의 formation energy 차이에 기인하는 현상이라 할 수 있다. Table 4. 2에서 확인되는 바와 같이 TiO_2 와 RuO_2 간에는 formation energy 차이가 매우 크기 때문에 RuO_2 위에 바로 TiO_2 를 증착하는 경우 TiO_2 가 RuO_2 의 환원을 촉진할 것으로 예상할 수 있다. 이로 인하여 TiO_2 는 기판으로부터 oxygen을 추가 공급받아 Figure 4. 8과 같은 증착 거동을 나타내게 되는 것이고, RuO_2 는 Ru로 환원 후 etch되면서 면밀도 변화량이 커지는 결과를 보이는 것이다. 하지만 RuO_2 막질 위에 SnO_2 가 증착되는 경우 formation energy 차이가 상대적으로 매우 작기 때문에 증착 과정에서 RuO_2 의 환원이 촉진되지는 않았던 것으로 판단된다. SnO_2 를 증착하는 중에 RuO_2 가 Ru로 환원 되었으나 etch가 되지 않았기 때문에 Ru 면밀도 변화가 미미했을 것으로 생각해볼 수도 있다, 하지만 SnO_2 의 증착에는 TiO_2 증착과 마찬가지로 O_3 를 산화제로 사용하였기 때문에 만약 RuO_2 가 환원되었다면 Ru의 etch 발생 및 면밀도 감소는 동일하게 발생했을 것으로 예상할 수 있다. 따라서 면밀도 변화가 작은

점은 RuO_2 의 환원 발생이 적었다는 사실로 받아들일 수 있다. 또한, SnO_2 와 TiO_2 간의 formation energy 차이 역시 RuO_2 와 SnO_2 의 차이와 유사한 정도임을 미루어, 마찬가지로 SnO_2 위에 TiO_2 를 증착시키는 과정에서는 환원이 촉진되지 않았던 것으로 판단된다.

Figure 4. 4의 VSEM 분석 결과와 같이, 하부 기판인 RuO_2 가 환원되면서 이로 인한 부피 감소 및 응집 현상이 발생하여 빈 공간(void)이 많아지는 것도 문제가 크겠으나, 환원된 Ru의 식각량이 큰 점은 RuO_2 막질을 실제 DRAM capacitor의 하부전극으로 사용하기 어렵게 만든다. 그 원인은 다음과 같이 확인해볼 수 있다.

고유전율의 rutile 구조 TiO_2 를 적용하기 위해 하부 기판으로 RuO_2 를 사용할 경우 TiO_2 증착 과정에서 $2\sim5\mu\text{g}/\text{cm}^2$ 의 layer density loss가 발생한다는 점은 RuO_2 기판이 적어도 4.5nm 이상 etch될 것을 감안해야 한다는 사실을 반영하고 있다(Table 4. 3)^[16]. 그런데 DRAM의 최소 선폴을 30nm로 가정하더라도 capacitor의 하부 전극은 반드시 10nm 미만의 두께를 가져야만 한다.^[1] DRAM 최소 선폴 30nm 및 지름이 완전히 3F를 차지하는 완전한 원형 단면의 capacitor로 가정할 경우 Figure 4. 13과 같은 단면 이미지를 예상할 수 있는데, 이 때 유전막의 두께를 8nm로 가정하더라도 전극의 두께는 반드시 10nm 이하이어야 한다는 것을 유도할 수 있다. 이것이 capacitor가 차지하는 면적을 비현실적으로 최대화 시킨 단순 모델임을 감안한다면, 실제 차세대 DRAM capacitor(design rule 20nm이하)에서는 전극의 두께를 10nm 이상으로 높이기 어려운 상황이라 할 수

있다. 결국 10nm의 RuO_2 를 하부 전극으로 적용한 경우를 가정하면, 적어도 4.5nm의 etch가 발생하게 되고 5.5nm정도의 하부 전극이 capacitor의 특성을 결정하게 되는 것이다. 하지만 Figure 4. 14 및 Table 4. 4에서 확인할 수 있는 것처럼, RuO_2 막질이 10nm 이상 충분히 두껍지 않으면 상부에 TiO_2 증착 시 결정화가 제대로 진행되지 않을 수 있다. Etch될 점을 감안하여 하부 전극 두께를 두껍게 증착하여 공정을 시작한다고 할지라도, 증착 중 RuO_2 의 etch 정도에 따라서 소자마다 하부 전극의 저항이 달라지는 문제가 발생하여 신뢰성에 문제를 야기할 수 있는 소지가 있다. 하지만 SnO_2 박막이 포함된 경우 SnO_2 막질 두께를 감안하여 얇은 RuO_2 를 적용하더라도, 유전막 증착 과정에 SnO_2 막질이 etch로 소실되는 등의 영향을 받는 정도가 매우 적기 때문에 TiO_2 유전막의 결정화에 문제가 없는 것으로 확인되고 또한 균질한 하부 전극을 확보할 수 있을 것으로 예상된다. 특히 SnO_2 박막이 2nm정도로 얇아지더라도 하부 RuO_2 의 환원 저항성은 높이고, 상부 유전막이 rutile 구조로 성장 가능한 것이 확인되었으므로, SnO_2 박막 도입이 충분히 얇은 하부 전극 사용을 용이하게 할 수 있다.

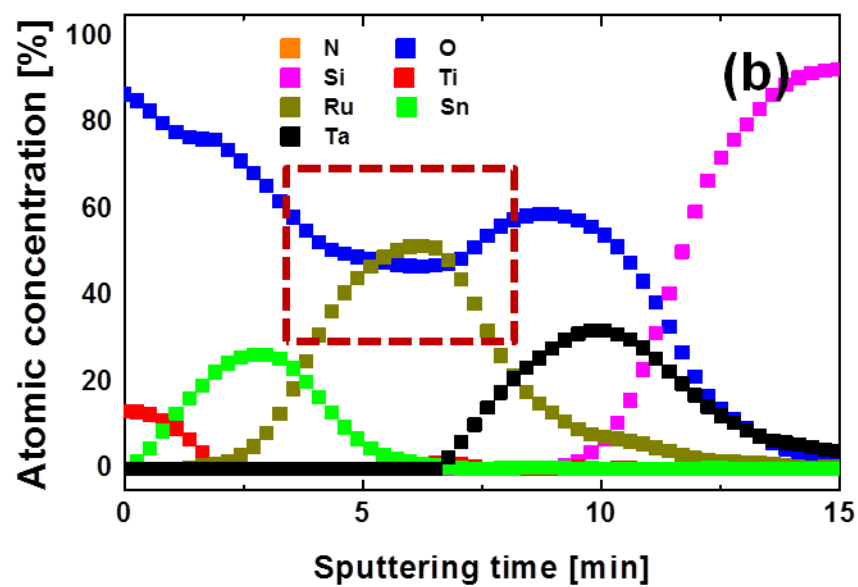
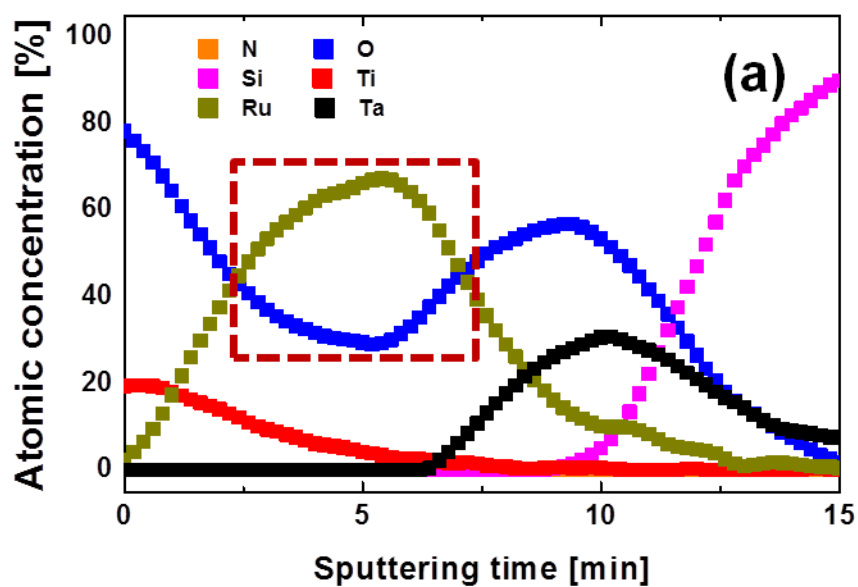


Figure 4. 10. AES depth profile of (a) TiO₂ on RuO₂ (b) TiO₂ on SnO₂/RuO₂

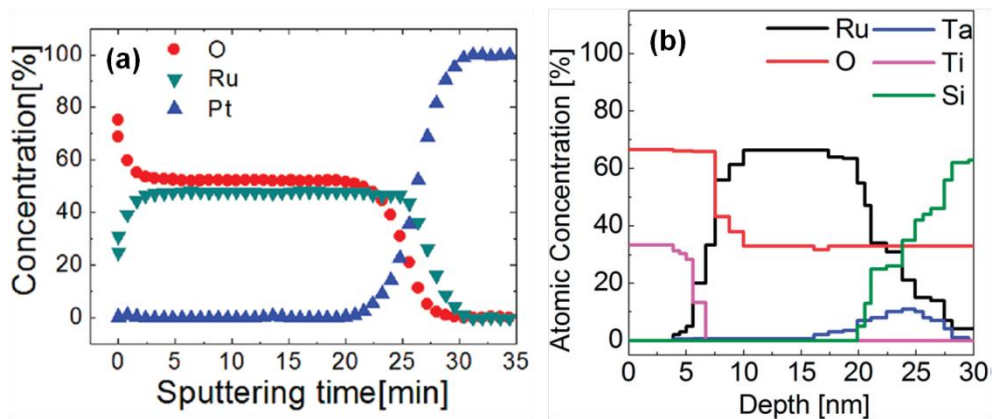


Figure 4. 11. Previous experiment result of (a)AES depth profile for RuO_2 ^[13] (b)ToF-MEIS depth profile for TiO_2 on RuO_2 ^[14]

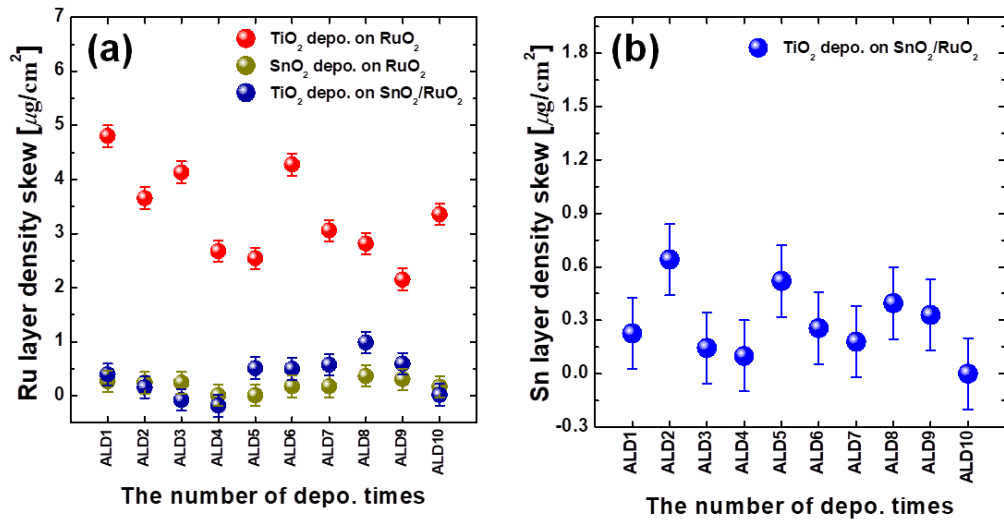


Figure 4. 12. Layer density difference before and after deposition :

(a) Ru layer density skew (b) Sn layer density skew

material	ΔG_f (kJ/mol)
TiO ₂	-834.0
SnO ₂	-519.7
RuO ₂	-201.2

Table 4. 2. Standard formation energy at 600K^[17]

	Measured Ru layer density difference	Induced RuO ₂ thickness difference
TiO ₂ on RuO ₂	2.2 ~ 4.8 ug/cm ²	4.5 ~ 10.8 nm
TiO ₂ on SnO ₂ /RuO ₂	0 ~ 1.0 ug/cm ²	0 ~ 2.25 nm

Table 4. 3. RuO₂ thickness difference derived from Ru layer density difference^[16]

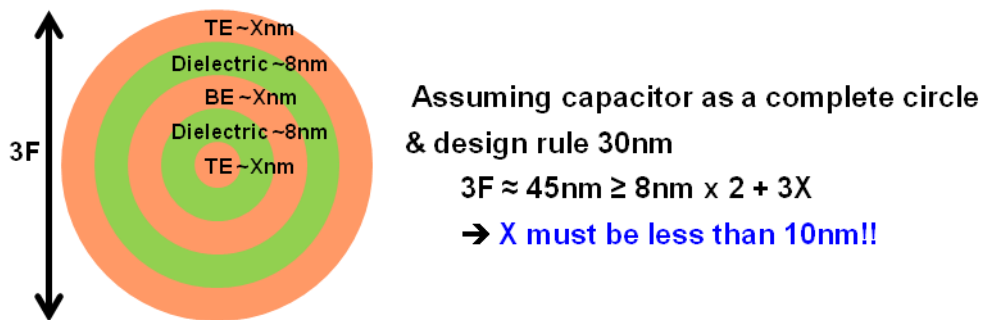


Figure 4. 13. Schematic of DRAM capacitor cross section assuming that it occupies all the 3Fx3F area

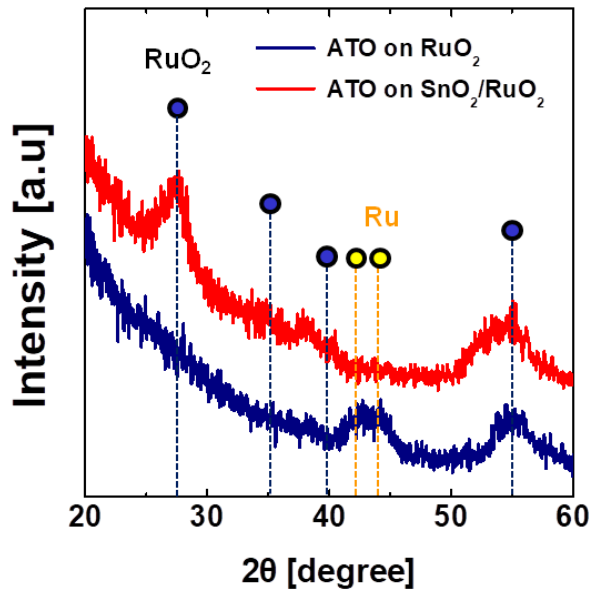


Figure 4. 14. GAXRD peaks of ATO on RuO_2 and on $\text{SnO}_2/\text{RuO}_2$ which have low Ru layer density.

	Element	Layer density before deposition	Layer density after deposition
ATO on RuO_2	Ru	7.19 $\mu\text{g}/\text{cm}^2$	4.65 $\mu\text{g}/\text{cm}^2$
	Sn	x	x
ATO on $\text{SnO}_2/\text{RuO}_2$	Ru	5.42 $\mu\text{g}/\text{cm}^2$	4.9 $\mu\text{g}/\text{cm}^2$
	Sn	3.78 $\mu\text{g}/\text{cm}^2$	3.26 $\mu\text{g}/\text{cm}^2$

Table 4. 4. Layer density of substrates for low layer density RuO_2

test

4.3 SnO₂/RuO₂ 기판 위에 증착된 TiO₂의 전기적 특성 확인

다양한 방법을 통하여 SnO₂ 박막 도입을 통해 RuO₂ 기판의 환원 저항성을 높일 수 있다는 것을 검증하였다. 이 실험의 궁극적인 목적은 환원 저항성이 증진된 기판 위에 TiO₂를 증착하여 DRAM의 capacitor로써 사용 가능성을 확인하고자 하는 것이었다. 따라서 SnO₂/RuO₂ 하부 전극 위에 증착된 TiO₂ 유전막의 전기적 특성을 평가하여 가능성과 한계점을 확인해 보았다.

4.3.1 SnO₂/RuO₂ 기판에서 증착된 TiO₂ 박막의 JV, CV 특성 확인

전기적 특성 확인을 위해 SnO₂ 박막이 각각 0nm, 2nm, 5nm 증착된 RuO₂ 기판 위에 동시에 TiO₂ 20nm를 증착하였고, 상부 Pt 전극 역시 동시에 증착 진행하였다.

인가된 bias에 따른 누설전류밀도(current density) 변화 특성은 Figure 4. 15과 같다. 상부전극에 negative bias를 인가하는 경우, SnO₂ 박막이 포함된 기판에서 증착한 TiO₂ 막질(TiO₂/SnO₂/RuO₂)에서의 누설전류는 RuO₂ 기판 바로 위에 증착한 TiO₂ 막질(TiO₂/RuO₂)의 특성과 유의차가 없거나 누설 전류가 더 낮은 특성을 나타낸다. 특히, SnO₂ 막질의 두께가 2nm인 경우 대비 5nm로 두꺼울 때 누설전류가 낮아지는 경향이 더욱 뚜렷해진다. 하지만 상부전극에 positive bias를 인가했을 때, TiO₂/SnO₂/RuO₂에서의 누설전류 특성은 0V부터 인가되는 bias가 커짐에

따라 누설전류가 급격히 증가하였다. 약 1V부터 누설전류 $0.1\text{A}/\text{cm}^2$ 수준으로 포화(saturation)되는 경향을 보였으며, 0.8V 기준으로 $\text{TiO}_2/\text{RuO}_2$ 대비 누설전류가 10^4 배 정도로 매우 열화되었다. 즉, 하부전극이 RuO_2 에서 $\text{SnO}_2/\text{RuO}_2$ 이중 막질로 변경되면서 전체적인 누설전류 특성이 diode와 같은 정류 특성을 나타내게 되었음을 알 수 있었다.

인가된 bias에 따른 정전용량(capacitance, Cap.) 변화 및 손실계수(dissipation factor, DF) 변화 특성 역시 확인하였다. 일반적으로 SnO_2 는 산소결함(oxygen deficiency)에 의해 n-type 반도체 특성을 나타내는 것으로 알려져 있다.^[18] 사용된 소자가 Figure 3. 7(b)와 같다는 점과 SnO_2 의 n-type 반도체 특성을 고려할 때 정전용량 특성이 MOS의 특성과 유사할 것으로 예상하였으나, Figure 4. 16에서 확인되는 것과 같이 측정 결과는 기존에 잘 알려져 있는 MOS 특성과도 다른 거동을 나타내었다. $\text{TiO}_2/\text{SnO}_2/\text{RuO}_2$ 에서는 전체적인 정전용량 수준 자체가 $\text{TiO}_2/\text{RuO}_2$ 대비 급격히 감소한 것으로 확인되고, negative bias 영역에서 일정한 수준으로 유지되던 정전용량이 $-0.5\text{V}\sim 0.5\text{V}$ 사이에 서서히 상승하다 $0.5\text{V}\sim 0.8\text{V}$ 사이에서 급감하는 형태를 나타내고 있다. 이러한 거동은 손실계수의 변화와 연동하는 것으로 확인되는데, negative bias 영역에서는 SnO_2 가 포함된 시료의 손실계수가 상대적으로 더 낮은 수준을 보이다가 $-0.5\text{V}\sim 0.5\text{V}$ 구간에서 상승하기 시작하며, $0.5\sim 0.8\text{V}$ 구간에서 급격하게 증가하는 경향을 보인다. 인가 bias에 따른 이러한 정전용량 및 손실계수 변화 경향은 SnO_2 의 두께가 5nm에서 2nm로 줄어들어도 변화의 정도만 줄어들 뿐 동일한 거동을 나타내는 것으로 확인되었다.

Figure 4. 17는 TiO_2 유전막의 두께를 변화시키면서 동일하게 J-V (current density vs. applied bias) 특성 및 C-V(capacitance density vs. applied bias) 특성을 확인한 결과이다. SnO_2 두께 5nm인 $\text{SnO}_2/\text{RuO}_2$ 기판 위에 TiO_2 를 각각 100cycle, 300cycle, 600cycle씩 증착한 후 동시에 Pt 상부전극을 형성하여 평가하였다.

Figure 4. 17 (a)의 결과와 같이 상부전극에 negative bias를 인가하는 경우 기존의 유전막 평가 결과와 동일하게 두께 의존적인 누설전류 특성을 나타내었다. 상부전극에 positive bias가 인가되는 경우 유전막의 두께에 따라 누설전류가 포화되기 시작하는 bias 수준은 달랐으나, 포화될 때의 누설전류 값은 $0.1\text{A}/\text{cm}^2$ 수준으로 수렴하는 것으로 나타났다. 즉, 상부전극 positive bias 인가 시 포화 상태에서의 누설전류 값은 유전막의 두께와 무관하게 일정한 수준을 유지하고 있었다. C-V 특성의 경우 (b)에 보이는 것처럼 인가 bias가 -0.5V 보다 낮은 상태에서는 유전막의 두께가 감소할수록 정전용량이 증가하는 일반적인 경향을 나타내었다. Figure 4. 16에서와 같은 $-0.5\text{V}\sim 0.5\text{V}$ 사이에서 정전용량이 증가하는 경향은 모든 두께의 유전막에서 동일하게 확인되었으나, 그 증가하는 정도는 두께가 얇아질수록 증가하는 경향을 보였다. 그리고 두께에 무관하게 모든 유전막에서 $0.5\text{V}\sim 0.8\text{V}$ 사이에 정전용량이 급감하여 가장 낮은 값에 도달하였다.

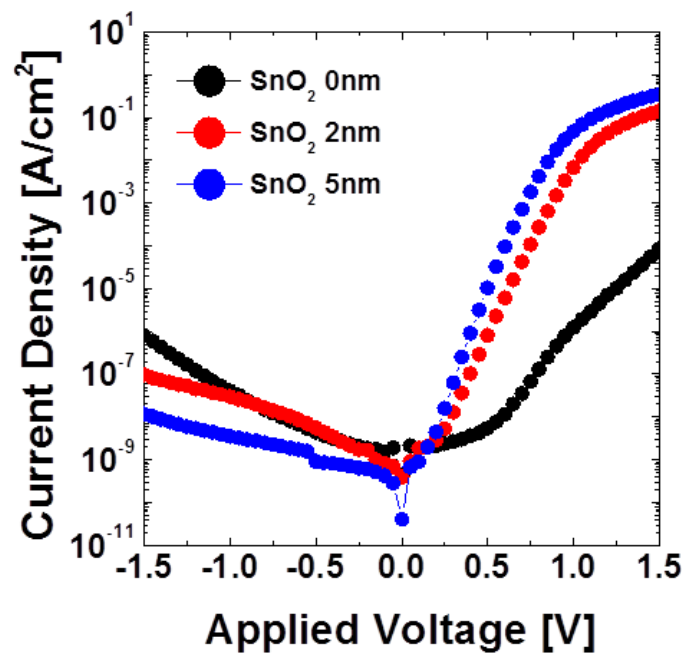


Figure 4. 15. The current density vs. applied voltage (J–V) plot of the 20nm TiO₂ films on RuO₂ and SnO₂/RuO₂ substrate.

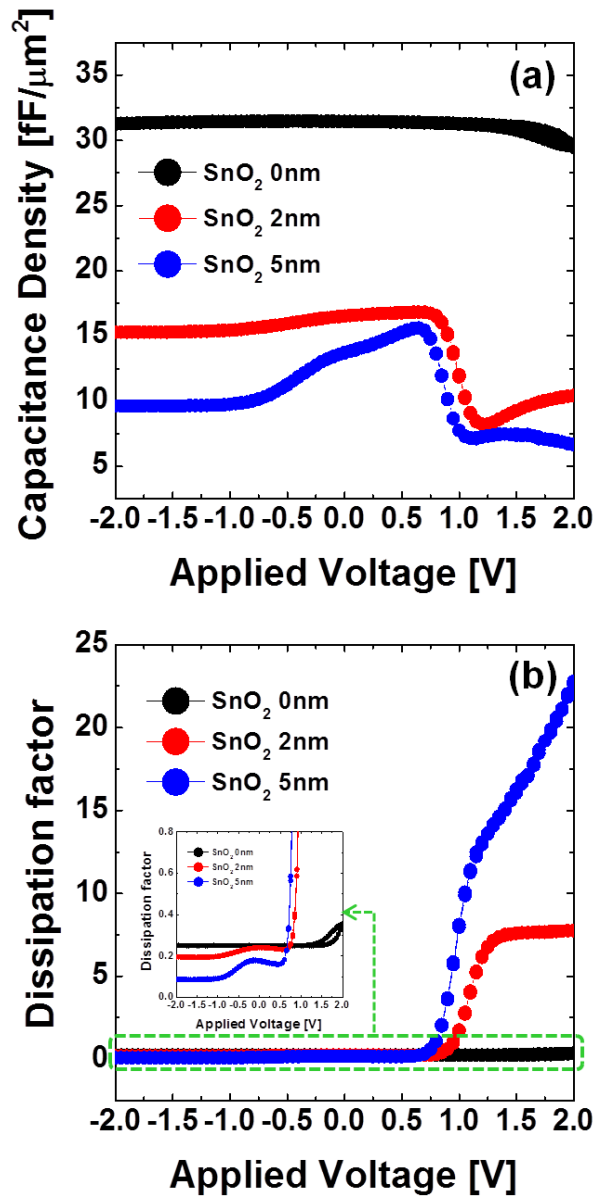


Figure 4. 16. (a) The capacitance density vs. applied voltage (C–V) plot, and (b) the dissipation factor vs. applied voltage (DF–V) plot of the 20nm TiO₂ films on RuO₂ and SnO₂/RuO₂ substrate.

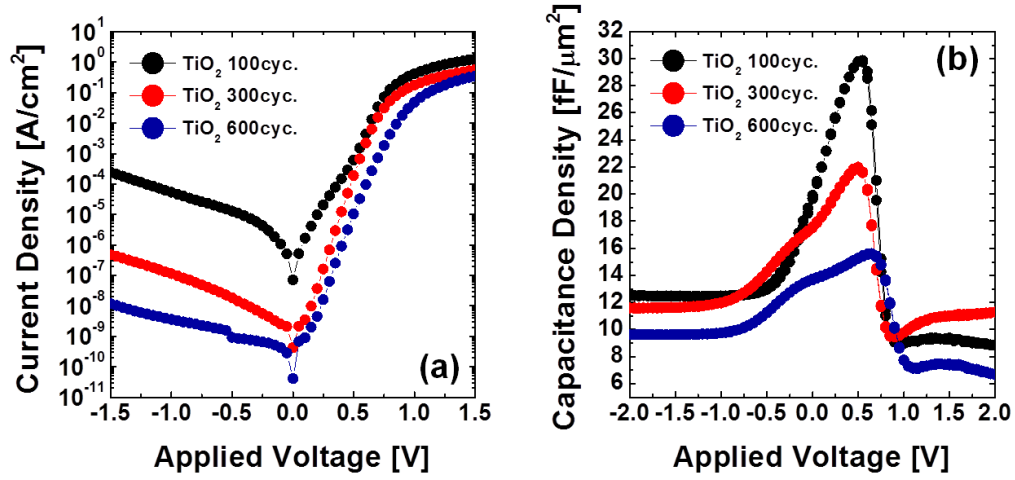


Figure 4. 17. (a) J–V plot, (b) C–V plot of the TiO_2 films of various thicknesses deposited on $5\text{nm SnO}_2/\text{RuO}_2$

4.3.2 SnO₂/RuO₂ 기판에서의 전기적 특성 원인 분석

SnO₂/RuO₂ 기판 위에 증착된 TiO₂의 전기적 특성이 일반적인 capacitor 유전막과 다른 특이 거동을 보이는 원인에 대해 고찰해보았다.

4.3.2.1 SnO₂ 박막의 특성 확인

우선 양쪽 기판에서 증착한 TiO₂ 막질에서의 결합 상태 차이를 확인하기 위해 XPS 분석을 진행하였고, peak 분리 결과를 Figure 4. 18에 나타내었다. Ru나 C의 peak intensity가 미약했기 때문에 양쪽 시료에서의 peak 위치 비교가 불가능한 상황이었으므로, Figure 4. 18 (a)에서와 같이 Ti 2p peak을 분리하여 이 위치를 기준으로 하여 비교하였다. 그 결과 (b)에서 확인되는 것처럼 양쪽 시료의 O 1s peak의 위치 및 intensity에 유의한 차이가 확인되지 않았고, 따라서 SnO₂ 박막의 유무로 인한 TiO₂의 결합상태에 차이는 없는 것으로 판단할 수 있었다.

Figure 4. 18 (c)는 TiO₂ on SnO₂/RuO₂ 시료에서의 SnO₂ peak 분리를 진행하여 SnO₂ 막질의 특성을 분석한 결과이다. Sn 3d peak을 분리 진행한 결과, Sn은 매우 미약하게 포함된 반면 Sn⁴⁺가 대부분의 portion을 차지하고 있으며 약 15%의 Sn²⁺가 포함된 것으로 확인되었다. 따라서 본 실험에서 사용한 SnO₂ 박막은 일반적으로 알려진 SnO₂의 특성과 같이 일부 oxygen vacancy에 기인한 n-type 반도체 특성을 나타낼 것으로 판단되었다^[19].

전기적 특성에 대한 분석 및 이해를 좀 더 용이하게 하고자, 몇 가지 측정을 통하여 실제 사용한 SnO_2 막질의 특성을 추가로 확인하였고, 그 결과를 Table 4. 5에 나타내었다. 4point probe 측정을 통해 비저항을 확인한 결과 SnO_2 의 비저항은 10^{-3} order 수준으로 일반적인 도체로써는 비저항이 가장 높지만, 반도체로써는 비저항이 가장 낮은 수준을 나타내었다. 이러한 점은 Hall measurement로 측정한 결과에서도 확인되었는데, carrier 농도는 doping을 진행한 Si이나 Ge과 유사한 수준이었다. XRR을 통해 측정한 막질의 밀도는 이론적으로 알려진 것과 유사한 수준이었으며, Hall measurement에서 확인되는 carrier의 특성으로 미루어 SnO_2 가 n-type이라는 점도 다시 한 번 확인할 수 있었다. 이러한 측정 결과들을 바탕으로 SnO_2 를 doping이 진행된 반도체로 간주하여 전기적 특성을 분석하기로 하였다.

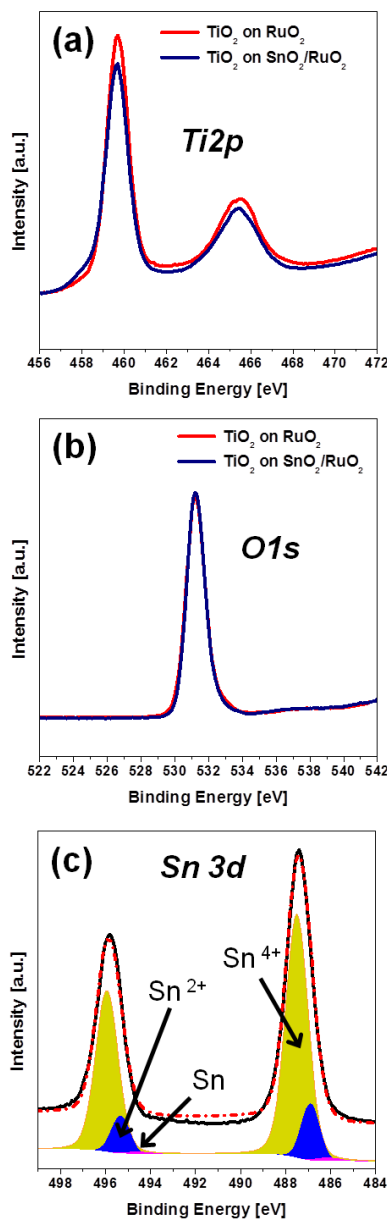


Figure 4. 18. The XPS spectra of (a) Ti 2p peak, (b) O 1s peak of TiO_2 on RuO_2 and TiO_2 on $\text{SnO}_2/\text{RuO}_2$. (c) Sn 3d XPS spectra of TiO_2 on $\text{SnO}_2/\text{RuO}_2$

	Equipment	Unit	as Depo. data
Calculated resistivity	4-point probe	$\Omega \text{ cm}$	2.25E⁻³
Density	XRR	g/cm^3	6.75
Sheet concentration	Hall Measurement	$/ \text{ cm}^2$	-1.46E¹⁵
Bulk concentration	Hall Measurement	$/ \text{ cm}^3$	-9.73E²¹

Table 4. 5. Measured SnO₂ film characteristics

4.3.2.2 누설전류 특성 원인 고찰

XPS 결과 및 Hall measurement 결과로부터 본 실험에 사용된 SnO_2 박막이 n-type 특성의 반도체임을 확인하였으므로, 이를 바탕으로 사용된 구조의 energy band diagram을 이용하여 누설전류 발생 메커니즘을 예상해 보았다.

TiO_2 on RuO_2 구조의 경우 Figure 4. 19 (a)와 같이 예상해볼 수 있다. 상부전극에 Pt를 사용할 경우 Pt의 일함수(workfunction)가 RuO_2 의 일함수보다 다소 크기 때문에 Pt와 TiO_2 사이의 에너지 장벽(energy barrier)이 TiO_2 와 RuO_2 간의 에너지 장벽보다 커지게 된다. 따라서 상부전극에 negative bias가 인가되어 전자가 Pt로부터 TiO_2 로 유입되는 경우가 상부전극에 positive bias가 인가되어 RuO_2 로부터 TiO_2 로 전자가 유입되는 경우보다 누설전류가 더 낮은 결과를 보이게 된다. 이것이 Figure 4. 15의 TiO_2 on RuO_2 (SnO_2 0nm) 결과에서 양방향 누설전류 수준이 비대칭인 원인이라 할 수 있다.

하지만 TiO_2 on $\text{SnO}_2/\text{RuO}_2$ 의 경우 Figure 4. 19 (b)에서 보는 것처럼, SnO_2 가 TiO_2 와 RuO_2 사이의 에너지 장벽을 완화시키는 역할을 하고 있는 것으로 예상된다. 상부전극에 negative bias가 인가되었을 때는 Pt에서 TiO_2 로 전자가 유입될 때의 에너지 장벽이 SnO_2 가 없는 경우와 동일하지만, 유전막의 두께는 TiO_2 의 두께에 전자가 고갈(depletion)된 SnO_2 의 두께까지 더해지면서 전자가 통과하는 경로가 길어지는 효과가 발생하게 된다. 따라서 누설전류의 수준이 TiO_2 on RuO_2 와 비슷하거나, 인가된 bias가 커짐에 따라 depletion 영역이 넓어지면서 누설전류가 좀 더 낮아지는

결과를 보이게 된다. 반대로 상부전극에 positive bias가 인가되는 경우 SnO_2 와 RuO_2 사이의 에너지 장벽 높이 자체가 TiO_2 와 RuO_2 보다 낮아지게 된다. 게다가 앞서 확인한 것처럼 SnO_2 가 반도체 특성을 가지고 있기 때문에 SnO_2 와 RuO_2 경계면 사이에 Fermi level pinning 효과가 발생하게 된다. 이로 인하여 에너지 장벽이 낮아지면서 RuO_2 에서 유입되는 전자는 낮은 수준의 에너지만으로도 터널링을 통해 쉽게 SnO_2 로 유입되게 되고, SnO_2 로 유입된 전자는 SnO_2 와 TiO_2 경계면에서의 낮은 에너지 장벽을 쉽게 뛰어넘게 됨으로써 누설전류가 급격히 늘어나는 것으로 해석할 수 있다. 또한, n-type의 SnO_2 에 negative bias가 인가되어 electron이 공급되는 경우 표면의 공핍 site에 전자가 쉽게 trap되는 것으로 알려져 있는데^[20], 이러한 특성 또한 누설 전류를 증가시키는데 기여하고 있는 것으로 파악된다.

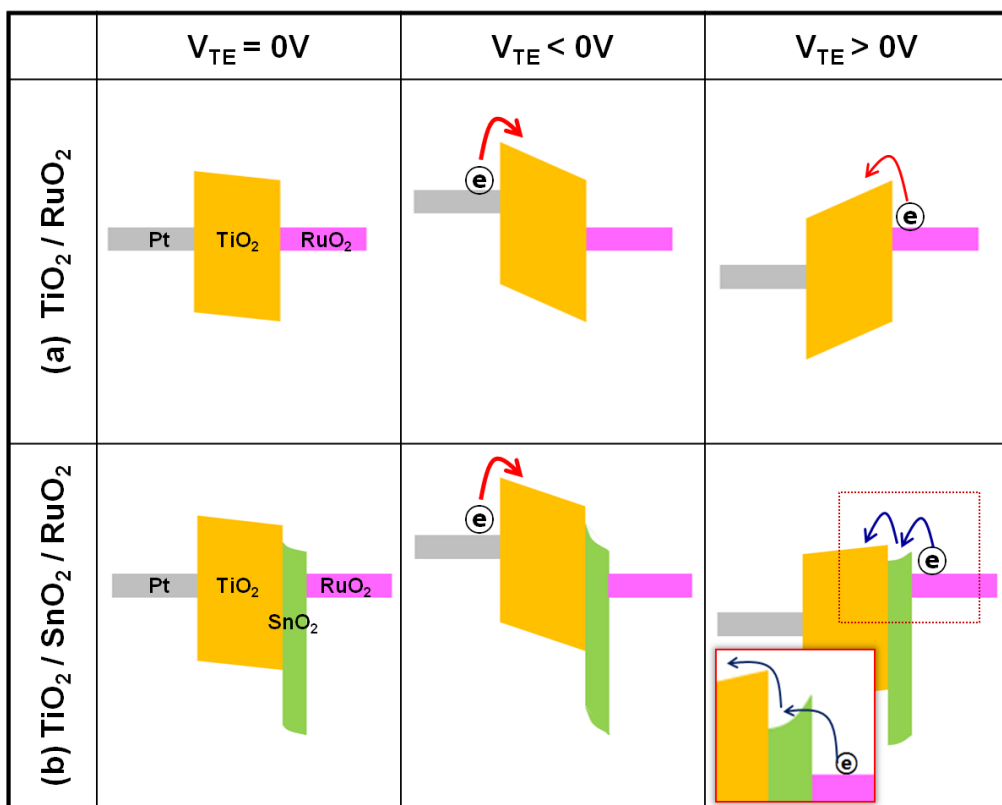


Figure 4. 19. Schematic energy band diagrams to illustrate J–V characteristics of (a) TiO_2 on RuO_2 (b) TiO_2 on SnO_2/RuO_2

4.3.2.3 정전용량 특성 고찰

상부 전극에 negative bias가 인가되는 경우의 정전용량(capacitance) 특성은 Figure 4. 20 (a)의 개략도와 같이 이해할 수 있다. 상부 전극에 negative bias가 인가되면 SnO₂ 내부의 negative charge가 RuO₂ 방향으로 이동하면서 TiO₂와의 경계면 쪽으로 SnO₂의 공핍층(depletion layer)이 형성된다. 이 공핍층으로 인하여 전체 유전막의 두께가 증가하는 효과가 발생하게 되고, 이로 인하여 Figure 4. 16 (a)의 결과와 같이 SnO₂ 막질이 있는 경우 정전용량이 감소하게 된다. 실제 SnO₂의 공핍층이 유전막으로써 기능했는지를 확인하기 위해 series capacitance를 계산하여 검증해보았다.

TiO₂가 RuO₂ 위에 바로 증착된 시료의 정전용량 측정 값 중 상부전극에 -1.3V가 인가된 결과 값과, 같은 장비에서 동일한 조건으로 증착된 TiO₂ 막질에서 유도하였던 유전상수^[16], 증착된 TiO₂의 두께를 이용하여 series capacitor 계산에 필요한 상수 $\epsilon_0 A$ 를 우선 유도하였다.

$$C_1 = C_{\text{TiO}_2} = 31.4 \text{ at } -1.3\text{V}, d_1 = 20\text{nm}, \epsilon_1 = 102,^{[16]}$$

$$C_1 = \epsilon_0 \epsilon_1 \frac{A}{d_1}$$

유도한 $\epsilon_0 A$ 값과 SnO₂의 유전상수^[21] 및 SnO₂ 두께 2nm, 5nm를 이용하여 SnO₂ 박막이 유전막으로 기능했을 경우의 정전용량 값을 series capacitor 계산 식에 단순 대입하여 계산하였다.

$$\epsilon_1 = 102, \epsilon_2 = 10,^{[21]} d_1 = 20\text{nm}, d_2 = 2 \text{ or } 5\text{nm}, \epsilon_0 A,$$

$$\frac{1}{C} = \frac{1}{C_1} + \frac{1}{C_2} = \frac{1}{\epsilon_0 A} \left(\frac{d_1}{\epsilon_1} + \frac{d_2}{\epsilon_2} \right)$$

계산된 값과 실제 SnO₂ 2nm, 5nm 소자에서 측정한 값을 비교한 결과를 Table 4. 6에 나타내었다. 증착된 TiO₂, SnO₂ 막질의 두께 variation 및 계산에 사용된 유전 상수가 bulk에서 유도된 점을 감안할 경우 측정된 값과 계산된 값이 상당한 유사성을 지니는 것으로 판단되었다. 이를 통해 상부전극에 negative bias가 인가되는 경우 SnO₂ 내부의 공핍층이 유전막으로 기능하는 것을 확인할 수 있었으며, 이로 인한 유전막 두께 증가 효과 및 SnO₂의 낮은 유전율이 전체 정전용량 감소를 야기시킨다는 점을 파악할 수 있었다.

상부 전극에 positive bias가 인가되는 경우의 정전용량 특성은 Figure 4. 20 (b)와 같이 생각해볼 수 있다. SnO₂ 내부의 negative charge는 TiO₂ 방향으로 이동하게 되고, RuO₂와의 경계면 방향으로 SnO₂의 공핍층이 형성되게 된다. 따라서 TiO₂와 SnO₂ 공핍층 사이에 유전 상수가 좀 더 높은 층이 병렬로 놓인 상황이 되어 일정 수준까지는(~0.5V) 정전용량이 증가하게 된다. 하지만 SnO₂는 유전체로써 기능할 만큼 충분히 insulating 하지 못하고 전자 친화도(electron affinity)가 높기 때문에, 인가되는 bias가 증가함에 따라 누설전류가 급격히 증가하면서 유전손실(dielectric loss) 역시 급격히 증가하게 된다.

이러한 특성은 Figure 4. 16 (b)의 dissipation factor 결과에서 좀 더 명확하게 드러난다. Total dissipation factor 값은 Figure 4. 21의 회로도와 Table 4. 7에서 보는 항목들에 의해 결정된다. 상부 전극에 positive bias가 인가되면 SnO_2 의 RuO_2 경계면에서 발생한 공핍층은 전극의 저항(R_C)을 높이는 역할을 하게 되고, 이는 유전 손실(D_C)을 높이게 된다. 또한, 누설 전류의 증가는 실질적으로 병렬 저항(R_L)을 감소시키게 되면서, 이에 기인한 유전손실(D_L)을 증가시키게 된다. 이러한 요인들이 전체 유전 손실(D)을 증가시키게 되면서, capacitor로써 정상적인 동작을 수행하기 어렵게 한다.

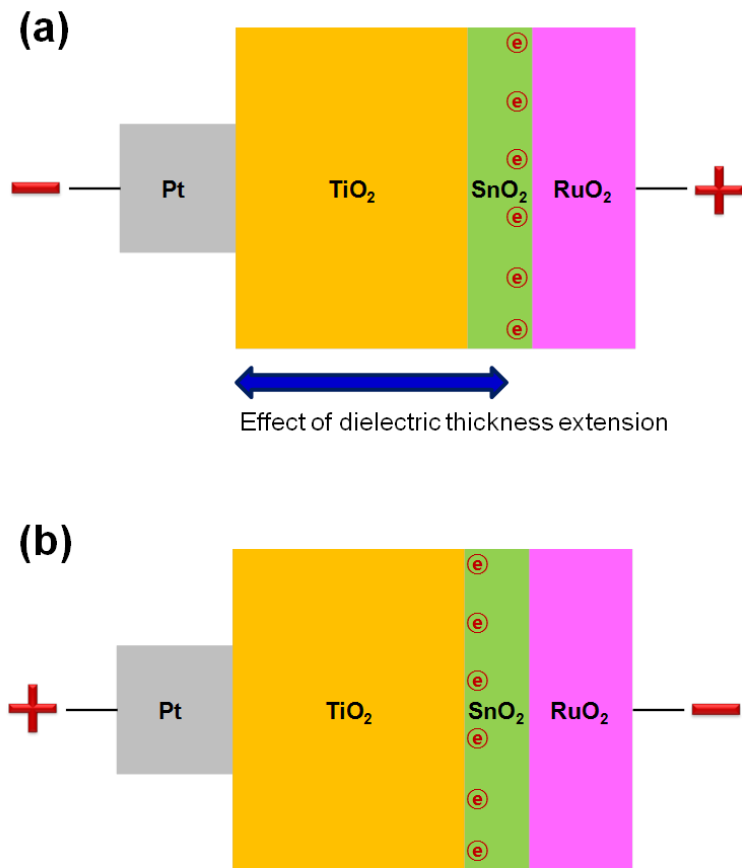


Figure 4. 20. Schematic diagrams to illustrate C–V characteristics under (a) $V_{\text{TE}} > 0$, (b) $V_{\text{TE}} < 0$

SnO₂	Measured capacitance (@ -1.3V)	Calculated capacitance
0nm	31.4	-
2nm	15.3	15.7
5nm	9.64	8.97

Table 4. 6. Lists of measured capacitance at -1.3V and series capacitance by theoretical calculation.

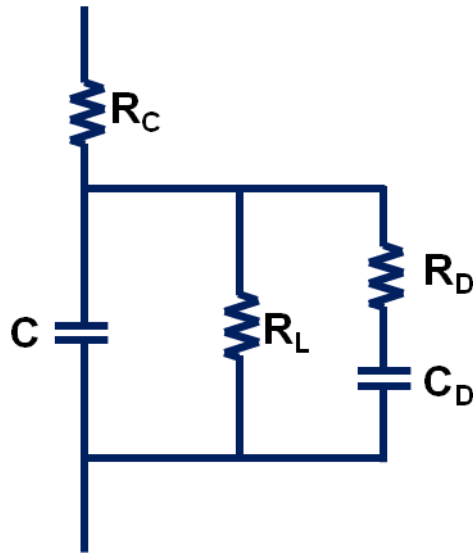


Figure 4. 21. Schematic circuit of actual capacitor loss

Symbol	Meaning
C	Capacitor
R _C	Actual resistance due to electrode, line, etc.
R _L	Actual parallel resistance due to leakage current in the capacitor
R _D	Resistance due to dielectric loss
D _C , D _L , D _D	Dissipation factors due to etch resistance
D _{tot}	Total dissipation factor
$D_{tot} = D_C + D_L + D_D = \omega R_C C + 1/ \omega R_L C + 1/ \omega R_D C$	

Table 4. 7. Meaning of symbols and equation of total dissipation factor from actual capacitor loss circuit

4.4 DRAM capacitor 적용을 위한 전기적 특성 개선 가능성 평가

SnO₂ 박막의 도입으로 인하여 하부 전극인 RuO₂의 환원 저항성을 높일 수 있었으나, 전기적 특성 열화가 발생한다는 점을 확인하였다. 그 원인이 전극으로써 도입한 SnO₂가 본질적으로 n-type 성질을 가지는 반도체이기 때문에 인가되는 전압의 방향에 따라서 charge의 이동에 기인한 소자 특성이 변화되기 때문이라는 점을 energy band diagram 및 capacitor 회로를 통해 이해해볼 수 있었다. 이렇게 확인된 원인을 바탕으로 실제 DRAM capacitor에 SnO₂ 박막을 도입할 수 있도록 전기적 특성을 개선할 수 있는 방안들에 대해 고민해보았다.

4.4.1 SnO₂/RuO₂ 전극 heat treatment 평가

상부 전극에 positive bias를 인가한 경우 누설전류가 증가하는 가장 중요한 원인이 SnO₂ 막질의 반도체 성질 때문이고, 그러한 반도체의 성질은 oxygen vacancy에 기인하고 있다. SnO₂의 oxygen vacancy가 감소하여 유전막의 성질을 띄게 되거나 반대로 oxygen vacancy가 증가하여 intrinsic carrier가 증가하게 된다면 누설전류 특성이 개선될 수 있을 것으로 기대되었다. 따라서 oxygen vacancy 증가, 감소 효과의 발생 가능성을 기대하며 TiO₂를 증착하기 전 SnO₂/RuO₂ 전극 표면을 각각 H₂ 및 O₂ 분위기에서 열처리 진행해 보았다.^[22,23] 또한, TiO₂를 SnO₂/RuO₂ 위에 증

착한 이후에 H_2 분위기에서 열처리하여 특성을 확인하였다. 모든 열처리는 RTA 장비를 이용하여 $400^\circ C$ 에서 10분간 진행하였다.

상부전극 증착 후 전기적 특성을 확인한 결과는 Figure 4. 22와 같았다. 먼저 TiO_2 증착 전 H_2 환경에서 SnO_2 표면에 열처리 진행한 결과, (a)에서 보는 것과 같이 매우 미약한 정도의 누설 전류 감소를 확인할 수 있었지만 O_2 환경에서 열처리 진행한 경우 1order 정도의 개선점을 확인할 수 있었다. H_2 환경에서 열처리 진행했을 경우 SnO_2 의 표면에 좀 더 많은 oxygen vacancy가 생성되어 SnO_2 의 Fermi level이 conduction band와 좀 더 가까워지면서 TiO_2 방향으로의 barrier가 높아짐으로써 누설 전류를 개선시키게 되고, O_2 환경에서 열처리한 경우 SnO_2 의 oxygen vacancy 감소 효과로 인하여 Fermi level이 conduction band와 좀 더 멀어지면서 RuO_2 에서부터의 barrier가 높아진 효과로 인하여 누설 전류를 개선시킨 것으로 판단된다(Figure 4. 24). 이러한 점은 Figure 4.22 (b)의 결과에서 capacitance의 차이로도 확인되는데, 상부 전극에 negative bias가 인가되었을 때 H_2 환경에서 열처리한 경우 SnO_2 내부의 carrier 농도가 높아지면서 SnO_2 의 공핍층 넓이가 줄어드는 효과를 보이게 되지만, O_2 환경에서 열처리한 경우 SnO_2 내부의 carrier 농도가 줄어들면서 SnO_2 의 공핍층 넓이가 늘어나게 된 것으로 파악된다. 하지만 누설전류 개선 정도가 다른 점으로 미루어 동일한 열처리 시간 동안 SnO_2 표면에서의 oxygen vacancy 농도 변화 정도가 사용 gas에 따라 다른 것으로 예상된다.

Figure 4.23은 TiO_2 를 $\text{SnO}_2/\text{RuO}_2$ 전극 위에 증착한 이후 H_2 환경에서 열처리 유무에 따른 누설전류 변화를 확인한 결과이다. TiO_2 증착 전 열처리 했던 결과와 달리 증착 후 열처리한 경우 낮은 전압이 인가될 때부터 누설 전류가 1order가량 감소한 결과를 보이고 있다. TiO_2 증착 후 H_2 환경에서 열처리하게 되면 TiO_2 와 SnO_2 의 계면에서 상대적으로 formation energy가 낮은 SnO_2 로부터 TiO_2 로 oxygen이 공급될 것으로 예상된다. 따라서 계면 근방에서의 TiO_2 는 conduction band와 Fermi level이 멀어지게 되고, SnO_2 는 가까워지게 되어 SnO_2 표면에서만 열처리한 경우 대비 barrier가 더 높아지는 효과가 발생하면서 누설전류 개선 효과가 좀 더 커지게 된 것이다(Figure 4. 24 (d)). 이것은 실제 DRAM 소자에 적용했을 경우 후속 공정 영향성에 대한 평가라고도 생각해볼 수 있다. 실제 다양한 H_2 gas가 소자 내부로 침투하여 영향을 미치게 되는데, 이러한 경우 소자의 열화를 야기하는 경우가 많다. 하지만 SnO_2 박막이 포함된 capacitor 소자에서는 오히려 개선되는 결과를 볼 수도 있음을 확인할 수 있었다.

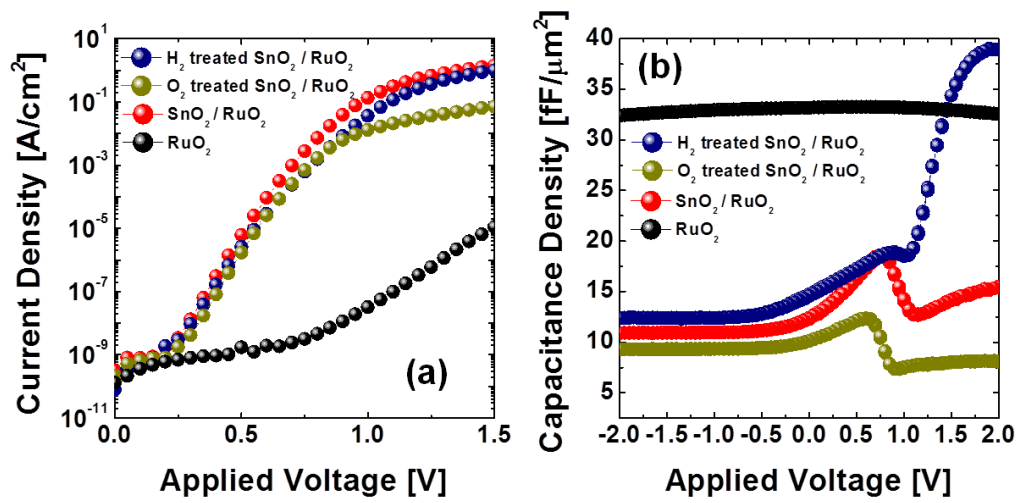


Figure 4. 22. Results of heat treatment on SnO_2 under gas ambient before TiO_2 deposition, (a) J-V characteristics with TE positive bias, (b) C-V characteristics.

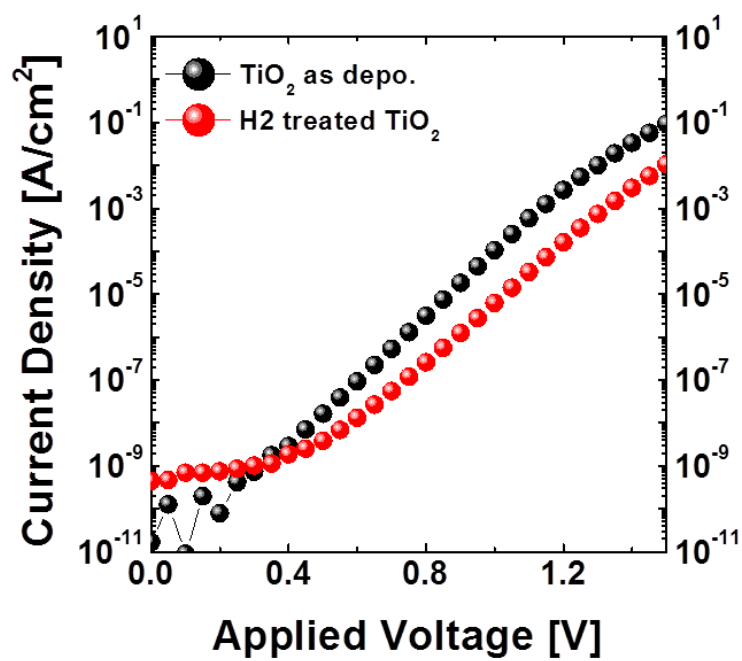


Figure 4. 23. Results of heat treatment under H₂ gas ambient after TiO₂ deposition on SnO₂/RuO₂,

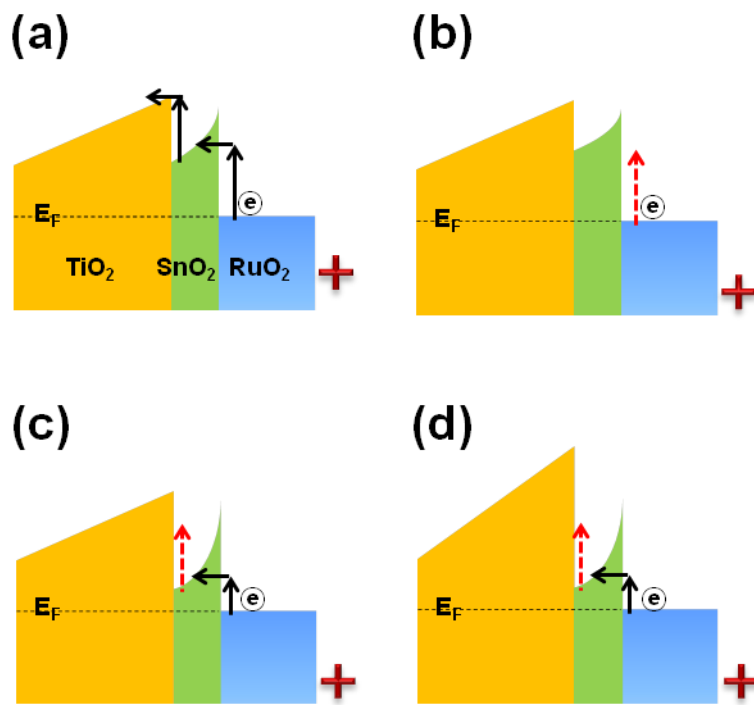


Figure 4. 24. Schematic band diagram of (a) no treatment, (b) O_2 treatment on SnO_2 , (c) H_2 treatment on SnO_2 , and (d) H_2 treatment on TiO_2 .

4.4.2 Al doping된 TiO_2 유전막 적용 평가

Rutile 구조의 TiO_2 가 유전율이 높은 반면 small band gap으로 인하여 상대적으로 누설 전류 특성이 취약하기 때문에, 누설 전류 특성을 개선하기 위한 방법으로써 Al doped TiO_2 (ATO)의 연구가 진행되어 왔다^[24] 이러한 점에 착안하여 $\text{SnO}_2/\text{RuO}_2$ 전극 위에 ATO를 증착할 경우의 특성을 확인하여 개선점이 있는지를 확인해보았다.

앞서 전기적 특성을 확인했던 20nm target의 TiO_2 와 동일한 cycle 수 (600cycle)만큼의 ATO를 RuO_2 와 $\text{SnO}_2/\text{RuO}_2$ 전극에 동시에 증착하여, 4개의 시료에 대한 전기적 특성 비교를 진행하였고 그 결과를 Figure 4.25에 나타내었다. (a)의 결과는 기존 TiO_2 의 결과로, $\text{SnO}_2/\text{RuO}_2$ 전극에서 증착한 경우가 RuO_2 전극에서 증착한 경우 대비 0.8V 기준 4order 이상 누설전류가 증가했던 것을 알 수 있다. 하지만 ATO를 유전막으로 사용하는 경우 (b)에서 보는 것과 같이 0.8V 기준 1order 증가, 1.0V 기준 2order 증가하는 결과를 확인할 수 있었다. $\text{SnO}_2/\text{RuO}_2$ 기판 위에 증착된 TiO_2 와 ATO만을 서로 비교할 경우 ATO 적용으로 2order 이상 누설전류 개선 효과를 얻을 수 있는 결과이다. 정전용량의 경우 ATO가 TiO_2 대비 감소하는 경향은 RuO_2 전극에서 증착하는 경우와 동일하지만, DF 값이 급격히 개선된 영향으로 정전용량의 변동폭이 줄어든 점을 확인할 수 있다.

ATO를 적용할 경우 누설전류가 줄어드는 원인은 oxygen vacancy에 기인하여 n-type 특성을 나타내는 TiO_2 에 doping된 Al이 acceptor 역할

을 하게 되면서 conduction band 방향으로 치우쳐진 TiO_2 의 Fermi level을 band gap 중심 방향으로 이동시키는 역할을 하기 때문이다^[9]. 즉, TiO_2 의 Fermi level과 conduction band간의 gap이 커지면서 전극과의 경계면에서의 energy barrier가 커지기 때문에 누설전류가 줄어들게 되는 것인데, TiO_2 자체의 전기적 성질이 변화되는 것이기 때문에 $\text{SnO}_2/\text{RuO}_2$ 전극을 사용하더라도 동일하게 barrier가 높아지는 결과를 양산하게 되는 것이다. Figure 4. 19 (b)의 $V_{\text{TE}} > 0$ 그림에서 SnO_2 에서 TiO_2 방향으로의 전자 유입 시 barrier가 높아진 결과이므로 이 barrier의 변화 정도, 즉 Al doping 정도에 따라서 TiO_2 on RuO_2 와 유사한 수준의 누설전류 확보도 가능할 것으로 판단된다. 하지만 ATO를 적용할 경우에도 상부 전극에 negative가 인가되면 SnO_2 의 공핍층으로 인하여 유전막으로 기능하는 점은 동일하므로 정전용량이 줄어드는 현상은 TiO_2 와 마찬가지로이며, 동일한 두께의 TiO_2 대비 ATO의 유전상수가 줄어들면서 정전용량에 추가 손실이 발생하게 된다.

유전막에 Al을 doping하는 것은 누설전류 관점에서는 효율적이지만, 정전용량이 줄어드는 결과를 확인하였다. Al doping 농도의 optimal한 조절을 통하여 누설전류는 TiO_2 on RuO_2 수준까지 확보 가능할 것으로 판단되며, SnO_2 의 두께를 좀 더 얇게 하는 방식으로 유전막의 역할을 하게 되는 SnO_2 의 공핍층 두께를 줄임으로써 정전용량을 개선시킬 수 있을 것으로 예상된다.

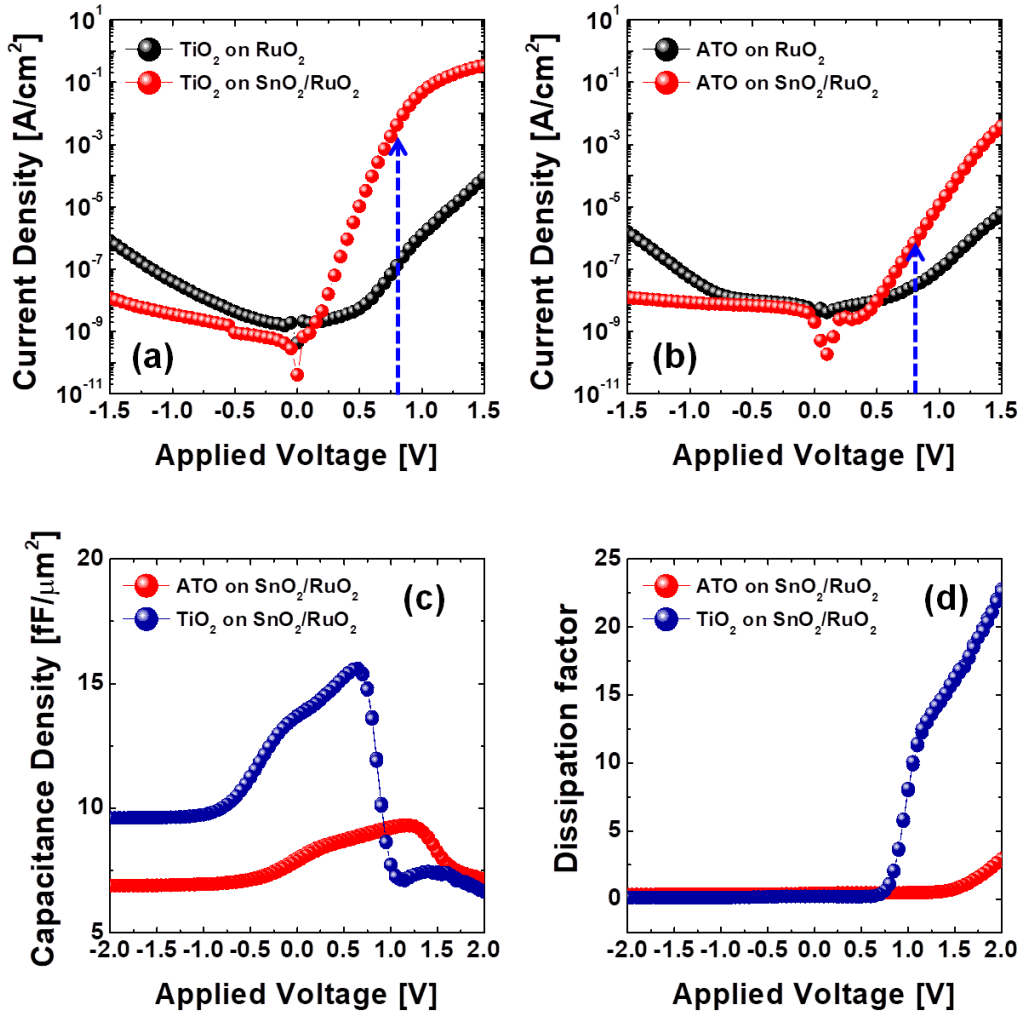


Figure 4. 25. J–V plot of (a) TiO₂ on RuO₂ and on SnO₂/RuO₂, (b) Al doped TiO₂ (ATO) on RuO₂ and SnO₂/RuO₂. Comparison (c) C–V, (d) DF characteristics of TiO₂ and ATO on SnO₂/RuO₂.

4.4.3 SnO₂ 박막 doping 평가

앞서 확인한 것처럼 SnO₂는 반도체 성질을 가지고 있기 때문에 일반적으로 SnO₂를 전자재료로 사용할 때에는 Sb, F, In₂O₃, ZnO 등을 doping하여 전도도(conductivity)를 충분히 높여서 사용한다. TiO₂가 SnO₂/RuO₂ 위에 증착되었을 때 SnO₂의 전도도가 충분히 높아서 metallic한 성질을 띄게 된다면, 누설 전류 문제 및 정전용량 저하 문제까지 개선이 가능할 것으로 기대되었다. 따라서 SnO₂에 Ta를 doping하는 평가를 진행하였다.

5nm target, 30cycle로 증착된 SnO₂에 ALD 방식으로 Ta₂O₅ 3cycle을 증착한 후 furnace에서 400° C로 30분간 열처리 하여 막질 내부로 확산시키는 방법으로 doping을 진행하였다. 다른 연구 그룹에서 충분히 두꺼운 SnO₂에 Ta를 doping하여 bulk 상태에서의 conductivity를 평가했던 이전 연구 결과에서는 3.75% Ta doping 시 전도도 향상이 가장 좋았던 결과를 보고하였다^[25], 하지만 본 연구에서는 SnO₂가 30cycle밖에 증착되지 않은 상태이므로 최적 비율을 맞추어 수 없었기 때문에 cycle 수 기준 10% doping 진행하여 개선 가능성만을 확인하기로 하였다. RuO₂, SnO₂/RuO₂, Ta doped SnO₂/RuO₂ 세 기판 위에 동시에 TiO₂ 600cycle을 증착하고 상부전극을 형성하여 측정하였다.

우선 Ta가 제대로 확산되지 않고 SnO₂ 위에 Ta₂O₅가 증착된 형태 그대로 남아있을 경우 상부에 TiO₂가 제대로 rutile 구조로 성장하지 않았을 수 있으므로, TiO₂ 증착 후 XRD로 결정성을 확인하였다. 그 결과 Figure 4. 26의 결과에서처럼 RuO₂ 기판 위에 TiO₂를 증착한 경우와 동일한

rutile peak을 확인할 수 있었다.

전기적 특성 확인 결과 Figure 4. 27(a)의 J-V 결과에서와 같이 positive bias의 high voltage 영역에서 1order이상 누설전류 감소가 확인되었다. 하지만 positive bias 영역에서의 누설전류 급증 현상은 여전히 있었고, Figure 4. 27 (b)와 같이 $\text{SnO}_2/\text{RuO}_2$ 기판에서보다 정전용량은 오히려 감소하는 결과도 확인되었다. 미약하게나마 누설전류가 감소하였으나 정전용량 역시 감소한 것은 전도도를 높이기에 적절한 수준 이상 Ta doping이 진행되었기 때문에 충분히 SnO_2 의 전도도가 높아지지 못한 점과, Ta이 SnO_2 막질 중간이 아닌 막질 표면에 doping이 진행되면서 막질 내부로 충분히 확산되지 못한 점에서 그 원인을 찾을 수 있겠다. Doping으로 인하여 미약하게나마 전도도가 향상된 점은 SnO_2 의 conduction band를 좀 더 Fermi level쪽으로 끌어내리게 됨으로써 SnO_2 와 TiO_2 사이의 barrier를 높여 주었기 때문에 누설전류가 일정부분 감소한 것으로 예상된다. 하지만, doping된 Ta이 SnO_2 전체로 충분히 확산되지 못하고, TiO_2 와의 경계면 근처에만 머물게 된다면 capacitor 관점에서 여전히 Figure 4. 20 (b)의 상태로 RuO_2 방향의 SnO_2 막질에서 공핍층이 형성 될 수 밖에 없는 상황이 된다. 따라서 정전용량은 여전히 개선된 결과를 확인하지 못하게 되었다.

이 결과를 통해 실제 doping을 통한 SnO_2 의 conductivity 향상이 누설전류를 감소시킬 수 있다는 점이 확인되었다. 따라서 최적화된 doping 농도의 dopant를 SnO_2 막질 내부로 충분히 확산시킨다면 누설 전류 감소 효과 및 정전용량 개선까지도 가능할 것이 예상되었다.

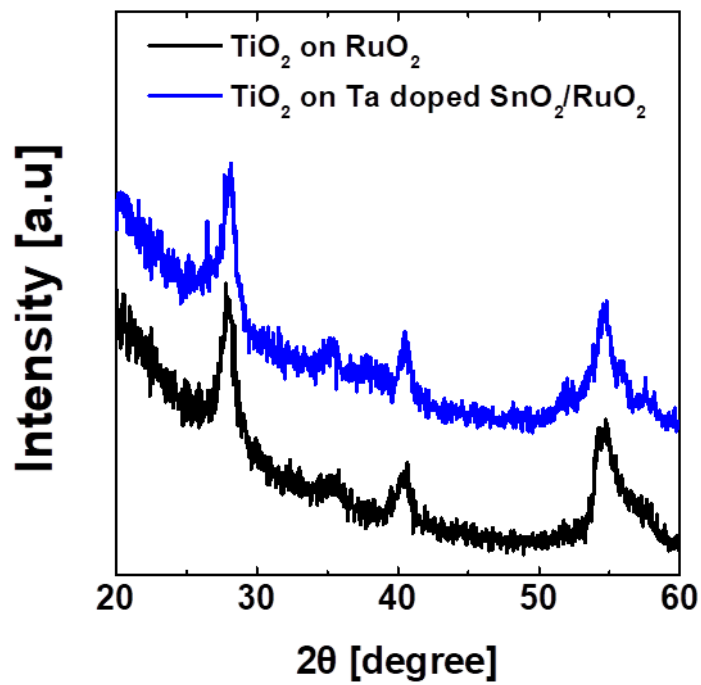


Figure 4. 26. GAXRD peaks of TiO₂ on Ta doped SnO₂/RuO₂.

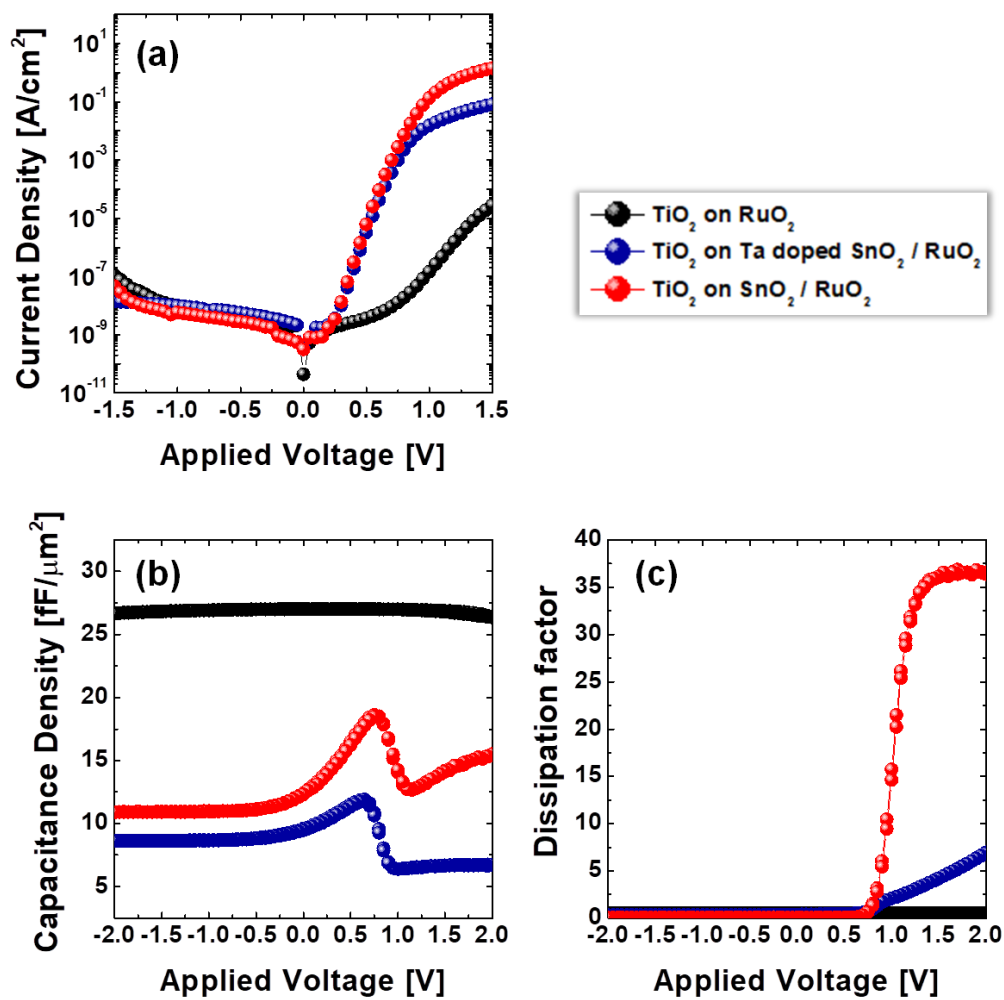


Figure 4. 27. Evaluation of TiO₂ on Ta doped SnO₂/RuO₂ substrate (a)

J-V plot, (b) C-V plot, (c) DF-V plot.

5. 결론

이 논문은 차세대 DRAM capacitor에 유전막으로 사용될 수 있는 Rutile 구조의 TiO_2 와 기판으로 사용되는 RuO_2 사이에 SnO_2 박막을 도입하는 것에 관한 연구 결과이다. TiO_2 의 결정상 중에서도 유전상수가 높은 rutile 구조의 TiO_2 는 RuO_2 기판 위에서 epitaxial한 방법으로 증착이 가능한데, RuO_2 기판이 쉽게 Ru로 환원되는 이슈가 있었다. 이에 RuO_2 보다 formation energy가 크고 TiO_2 나 RuO_2 와 동일한 rutile 구조를 가지는 SnO_2 박막을 도입하여 다양한 방식으로 평가를 진행하였다.

가장 먼저 SnO_2 를 RuO_2 위에 증착한 경우 RuO_2 의 환원을 억제하는가에 대해서 환원 gas 분위기에서 열적 스트레스 평가를 진행하였다. 그 결과 RuO_2 단일 막질 대비 SnO_2 박막이 있는 경우 RuO_2 의 환원이 좀 더 지연되는 효과를 확인하였고, 실제 VSEM 표면 검사를 통해서 환원된 RuO_2 의 표면이 심하게 일그러지는 반면 SnO_2 박막이 있는 경우 표면 변화 역시 억제되고 있다는 것까지 알 수 있었다.

본격적으로 TiO_2 를 증착시키면서 증착 과정에서, 그리고 증착 이후의 변화에 대해서도 검증을 진행하였다. SnO_2 박막 도입으로 인하여 TiO_2 증착 초기의 CVD 반응이 감소한 것이 확인되었고, TiO_2 가 증착된 이후의 열적 스트레스 환경에서도 RuO_2 의 환원에 대한 내성이 강화된 결과를 볼 수 있었다. 박막 내의 원소 비율 변화가 주목할만했는데, 특히 TiO_2 증착 전, 후의 Ru 면밀도 변화 결과로부터 DRAM capacitor의 하부 전극으로 RuO_2 를 사용하여 TiO_2 를 증착하기 위해서는 반드시 RuO_2 의 환원 저항성을 높여야 하는 당위성을 확인할 수 있었고, SnO_2 박막이 효과적으로 그 역

할을 하고 있다는 결과를 도출하였다.

TiO₂/SnO₂/RuO₂ 막질 위에 상부전극을 올리고 전기적 특성을 검증하였다. 캐패시터가 가져야 하는 전기적 특성에서 많이 벗어난 거동을 보였는데, 누설전류는 다이오드와 같은 거동을 보이고 있었고 캐패시터 역시 이상 거동을 나타내고 있었다. 이러한 현상은 도입된 SnO₂ 박막의 성질에 대한 분석을 통해 원인을 파악할 수 있었다. 도입된 SnO₂ 박막은 완전히 유전체의 성질을 띄거나 완전히 전도체의 성질을 띄지 않고 doping이 진행된 반도체와 같은 성질을 띄고 있는 것으로 확인되었다. 이는 하부전극으로부터 전자가 유입되는 조건에서는 SnO₂의 Fermi level pinning 효과가 발생하면서 SnO₂가 전자의 유입을 용이하게 만들고 있음을 알 수 있었다. 또한 상부전극에서 전자가 유입되는 조건에서는 SnO₂가 TiO₂와의 경계면 방향으로 depletion layer를 형성하면서 유전막의 두께를 높이는 효과를 발생시키는 것도 확인이 되었다. 따라서 SnO₂ 막질의 비저항을 낮추거나, energy band 관점에서의 engineering이 필요한 것으로 판단되어 관련된 평가들을 진행하였다. 그 결과 표면 열처리나 TiO₂ 유전막에의 Al doping, 그리고 SnO₂ 박막에의 Ta doping을 통하여 일정수준 전기적 특성이 개선되는 결과를 확인할 수 있었다.

이 연구를 통해 SnO₂ 도입으로 하부 기관인 RuO₂의 열화를 방지하는 효과를 얻을 수는 있었으나, DRAM capacitor로서의 동작 특성을 완전히 확보하지는 못했다. 하지만, 전기적 특성의 열화 원인을 분석하고 그 개선 가능성에 대해서는 확인할 수 있었다. 개선 방법들이 여러 평가들을 통해 조건을 잘 잡아서 수행한 결과가 아니므로, 최적의 조건을 확보한다면 하부 기관 열화를 억제하면서도 좋은 특성을 확보할 수 있을 것으로 기대해

볼 수 있다. 또한, rutile 구조를 지니는 다양한 metal dioxide 후보군들 중 conductivity가 높고 formation energy가 적절한 물질에 대한 연구의 여지도 남길 수 있었다.

Reference

- 1 Park, J. *et al.* in *Electron Devices Meeting (IEDM), 2015 IEEE International.* 26.25. 21–26.25. 24 (IEEE).
- 2 George, S. M. Atomic layer deposition: an overview. *Chemical reviews* **110**, 111–131 (2009).
- 3 Puurunen, R. L. Surface chemistry of atomic layer deposition: A case study for the trimethylaluminum/water process. *Journal of applied physics* **97**, 9 (2005).
- 4 Miikkulainen, V., Leskelä, M., Ritala, M. & Puurunen, R. L. Crystallinity of inorganic films grown by atomic layer deposition: Overview and general trends. *Journal of Applied Physics* **113**, 2 (2013).
- 5 Wilk, G. D., Wallace, R. M. & Anthony, J. High- κ gate dielectrics: Current status and materials properties considerations. *Journal of applied physics* **89**, 5243–5275 (2001).
- 6 Kim, S. K., Kim, W.-D., Kim, K.-M., Hwang, C. S. & Jeong, J. High dielectric constant TiO₂ thin films on a Ru electrode grown at 250 C by atomic-layer deposition. *Applied Physics Letters* **85**, 4112–4114 (2004).
- 7 Mikami, M., Nakamura, S., Kitao, O. & Arakawa, H. Lattice dynamics and dielectric properties of TiO₂ anatase: a first-

- principles study. *Physical Review B* **66**, 155213 (2002).
- 8 Diebold, U. The surface science of titanium dioxide. *Surface science reports* **48**, 53–229 (2003).
 - 9 Kim, S. K. *et al.* Capacitors with an equivalent oxide thickness of < 0.5 nm for nanoscale electronic semiconductor memory. *Advanced Functional Materials* **20**, 2989–3003 (2010).
 - 10 Wang, H., Xu, S. & Gordon, R. G. Low temperature epitaxial growth of high permittivity rutile TiO₂ on SnO₂. *Electrochemical and Solid–State Letters* **13**, G75–G78 (2010).
 - 11 Jeon, W. *et al.* Controlling the Al–doping profile and accompanying electrical properties of rutile–phased TiO₂ thin films. *ACS applied materials & interfaces* **6**, 7910–7917 (2014).
 - 12 Lee, S. W. *et al.* Role of Interfacial Reaction in Atomic Layer Deposition of TiO₂ Thin Films Using Ti(O–iPr)₂(tmhd)₂ on Ru or RuO₂ Substrates. *Chemistry of Materials* **23**, 976–983, doi:10.1021/cm1026128 (2011).
 - 13 Han, J. H. *et al.* Study on initial growth behavior of RuO₂ film grown by pulsed chemical vapor deposition: Effects of substrate and reactant feeding time. *Chemistry of Materials* **24**, 1407–1414 (2012).
 - 14 Jeon, W. *et al.* Chemistry of active oxygen in RuO_x and its influence on the atomic layer deposition of TiO₂ films. *Journal*

- of Materials Chemistry C* **2**, 9993–10001 (2014).
- 15 Han, J. H. *et al.* Growth of RuO₂ thin films by pulsed–chemical vapor deposition using RuO₄ precursor and 5% H₂ reduction gas. *Chemistry of Materials* **22**, 5700–5706 (2010).
- 16 Han, J. H. *et al.* Improvement in the leakage current characteristic of metal–insulator–metal capacitor by adopting RuO₂ film as bottom electrode. *Applied Physics Letters* **99**, 022901 (2011).
- 17 Barin, I. *Thermochemical Data of Pure Substances*, *Thermochemical Data of Pure Substances*. (Wiley–VCH, 1997).
- 18 Batzill, M. & Diebold, U. The surface and materials science of tin oxide. *Progress in surface science* **79**, 47–154 (2005).
- 19 Szuber, J., Czempik, G., Larciprete, R., Koziej, D. & Adamowicz, B. XPS study of the L–CVD deposited SnO₂ thin films exposed to oxygen and hydrogen. *Thin Solid Films* **391**, 198–203 (2001).
- 20 Bedja, I., Hotchandani, S. & Kamat, P. V. Preparation and photoelectrochemical characterization of thin SnO₂ nanocrystalline semiconductor films and their sensitization with bis (2, 2'–bipyridine) (2, 2'–bipyridine–4, 4'–dicarboxylic acid) ruthenium (II) complex. *The Journal of Physical Chemistry* **98**, 4133–4140 (1994).

- 21 Kötzt, R., Stucki, S. & Carcer, B. Electrochemical waste water treatment using high overvoltage anodes. Part I: physical and electrochemical properties of SnO₂ anodes. *Journal of Applied Electrochemistry* **21**, 14–20 (1991).
- 22 Minami, T., Sato, H., Nanto, H. & Takata, S. Heat treatment in hydrogen gas and plasma for transparent conducting oxide films such as ZnO, SnO₂ and indium tin oxide. *Thin Solid Films* **176**, 277–282 (1989).
- 23 Srivastava, R., Dwivedi, R. & Srivastava, S. Effect of oxygen and hydrogen plasma treatment on the room temperature sensitivity of SnO₂ gas sensors. *Microelectronics journal* **29**, 833–838 (1998).
- 24 Kim, S. K. *et al.* Al- Doped TiO₂ Films with Ultralow Leakage Currents for Next Generation DRAM Capacitors. *Advanced Materials* **20**, 1429–1435 (2008).
- 25 Lee, S. w., Kim, Y.-W. & Chen, H. Electrical properties of Ta-doped SnO₂ thin films prepared by the metal- organic chemical-vapor deposition method. *Applied Physics Letters* **78**, 350–352 (2001).

List of Publications

Conferences

1. Sang Hyeon Kim, Woongkyu Lee, Cheol Hyun An, Min Jung Chung, Hoju Song and Cheol Seong Hwang, “Atomic layer deposition of SrTiO_3 films with cyclopentadienyl-based precursors for DRAM capacitor application”, *ALD2016*, Dublin Ireland, 24–27 July, 2016 –poster
2. Hoju Song, Cheol Hyun An, Younjin Jang, Sang Hyeon Kim, Min Jung Chung and Cheol Seong Hwang, “Adoption of SnO_2 thin films to prevent reduction RuO_2 to Ru during atomic layer deposition of TiO_2 films for DRAM Capacitor”, *ALD2016*, Dublin Ireland, 24–27 July, 2016, –poster
3. Cheol Hyun An, Woongkyu Lee, Sang Hyeon Kim, Hoju Song and Cheol Seong Hwang, “Growth and electric characteristics of SrRuO_3/Pt bimetal electrodes for SrTiO_3 dielectric layer”, *ALD2016*, Dublin Ireland, 24–27 July, 2016, –poster
4. Cheol Hyun An, Sang Hyeon Kim, Hoju Song, Dae Seon Kwon, and Cheol Seong Hwang, “Growth and electric characteristics of SrRuO_3/Pt bimetal electrodes for SrTiO_3 dielectric layer”, 제 24회 한국반도체학술대회, 강원도 대명비발디파크, 2017년 2월 13일–15일, –poster

5. **Hoju Song**, Cheol Hyun An, Younjin Jang, Jun Shik Kim, Dae Seon Kwon, Sang Hyeon Kim and Cheol Seong Hwang, “Evaluation of SnO_2 thin films to suppress reduction of RuO_2 electrode during atomic layer deposition of rutile structured TiO_2 films”, 제 24회 한국반도체학술대회, 강원도 대명비발디파크, 2017년 2월 13일-15일, -poster
6. Sang Hyeon Kim, Woongkyu Lee, Cheol Hyun An, **Hoju Song**, Dae Seon Kwon, and Cheol Seong Hwang, “Seed layer thickness effects of atomic layer deposited SrTiO_3 thin film”, E-MRS (European materials research society) spring meeting 2017, Strasbourg, France, May 22-26, 2017, -poster

Abstracts (in English)

As the design rule of DRAM is shrink, the difficulty of fabricating capacitor has increased dramatically. In particular, to distinguish between data "0" and "1", it is necessary to be able to store a sufficient charge in a capacitor. But structural changes can no longer increase the capacitance necessary for operation. Therefore, researches on materials having a high dielectric constant have been actively carried out. One of the most promising materials is rutile structured TiO_2 . Rutile structured TiO_2 has a very high- k value (170 along the c axis and 90 along the a axis) among the binary metal oxides, and can be epitaxially deposited on an RuO_2 electrode having the same rutile structure by the ALD method. Therefore, it is possible to deposit TiO_2 thin film with highly uniform thickness on a DRAM capacitor having a high aspect ratio when RuO_2 is introduced as a lower electrode.

But RuO_2 substrates easily reduce to Ru depending on the TiO_2 deposition temperature, reactant gas for ALD process, and thermal stress from subsequent processes. Moreover the loss of oxygen from reduction of RuO_2 induce volume shrink of substrate and create voids which can be paths of leakage current. If the oxygen from reduction of RuO_2 diffuse to the transistor, it could cause deterioration of on-off characteristics of the transistor. So, SnO_2 thin film which has medium

formation energy between RuO_2 and TiO_2 , and also has low lattice mismatch was evaluated as a barrier layer of reduction.

The effect of SnO_2 thin film on the reduction of RuO_2 was investigated by applying thermal stress under 95% N_2 /5% H_2 gas ambient. Crystalline phase and SEM images for surface change confirmed that SnO_2 can suppress reduction of RuO_2 . Therefore TiO_2 film was deposited on $\text{SnO}_2/\text{RuO}_2$ substrate.

TiO_2 was well crystallized as rutile structure on $\text{SnO}_2/\text{RuO}_2$ substrate as well as on RuO_2 substrate. It was confirmed that SnO_2 effectively suppresses reduction of RuO_2 during and after TiO_2 deposition, through thermal stress test, AES depth profile analysis, tests for growth characteristics at initial stage. Moreover, the problems due to reduction of RuO_2 and the effect of adopting SnO_2 thin film were discussed using the Ru layer density difference before and after TiO_2 deposition.

The top electrode was deposited on $\text{TiO}_2/\text{SnO}_2/\text{RuO}_2$ device to form a plane capacitor and using this device the electrical characteristics were measured and analyzed. Leakage current behaved not as a capacitor but a diode, capacitance showed abnormal behavior. The fundamental reason why the fabricated device does not show the characteristics of the conventional capacitor is that the used SnO_2 thin film has a property of a semiconductor which does not conduct

sufficiently. The cause of the deterioration of electrical characteristics was analyzed in detail using n-type semiconductor properties of SnO_2 by the ways of energy band diagram or circuit of capacitor. Based on the analyzed causes, the ways to improve electrical characteristics were discussed and examined for their applicability.

Key words : TiO_2 , Rutile structure, SnO_2 , ALD, Atomic Layer Deposition, DRAM, RuO_2 , heat treatment, capacitor

Student number : 2015-22771

Hoju Song